

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Koji TAKAHASHI**

Serial Number: **Not Yet Assigned**

Filed: **August 28, 2003**

Customer No.: 23850

For: **METHOD OF MANUFACTURING A MEMORY INTEGRATED CIRCUIT
DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

August 28, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-255919, filed on August 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, WESTERMAN & HATTORI, LLP



William G. Kratz, Jr.
Reg. No. 22,631

Atty. Docket No.: 031038
Suite 1000, 1725 K Street, N.W.
Washington, D.C. 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
WGK/yap

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: August 30, 2002

Application Number: No. 2002-255919
[ST.10/C]: [JP2002-255919]

Applicant(s): FUJITSU LIMITED

December 27, 2002

Commissioner,
Patent Office

Shinichiro Ota (Seal)

Certificate No. 2002-3102710

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-255919

[ST.10/C]:

[JP2002-255919]

出 願 人

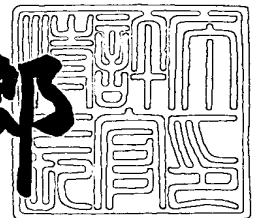
Applicant(s):

富士通株式会社

2002年12月27日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3102710

【書類名】 特許願

【整理番号】 0240193

【提出日】 平成14年 8月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 29/78

【発明の名称】 メモリ集積回路装置の製造方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 高橋 浩司

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上にメモリセル領域と周辺回路領域とを備えたメモリ集積回路装置の製造方法であって、

前記半導体基板上に、前記メモリセル領域に対応して第 1 の溝を形成する工程と、

前記半導体基板上に、前記周辺回路領域に対応して第 2 の溝を形成する工程とを含み、

前記第 1 の溝を形成する工程と前記第 2 の溝を形成する工程とは同時に実行され、

さらに前記メモリセル領域に、前記第 1 の溝を基準にメモリセルトランジスタを、前記周辺回路領域に、前記第 2 の溝を素子分離溝とした周辺回路トランジスタを形成する素子形成工程を含むことを特徴とするメモリ集積回路装置の製造方法。

【請求項 2】 第 1 の溝と前記第 2 の溝を形成する工程は、同一のマスクを使って実行されることを特徴とする請求項 1 記載のメモリ集積回路装置の製造方法。

【請求項 3】 前記素子形成工程は、前記周辺回路領域において前記第 2 の溝を素子分離絶縁パターンにより充填する工程と、前記半導体基板表面に第 1 の絶縁膜を、前記第 1 の絶縁膜が前記メモリセル領域において前記半導体基板表面および前記第 1 の溝の表面を連続して覆うように形成する工程と、前記第 1 の絶縁膜を、前記メモリセル領域を残して除去する工程と、前記半導体基板上に導電膜を、前記導電膜が前記メモリセル領域において前記第 1 の絶縁膜を覆うように、また前記周辺回路領域において前記第 2 の絶縁膜を覆うように形成する工程とを含むことを特徴とする請求項 1 または 2 記載のメモリ集積回路装置の製造方法。

【請求項 4】 さらに前記導電膜を前記メモリセル領域、周辺回路領域において、同一のマスクを使ってパターンニングし、前記メモリセル領域において第 1

のゲート電極を、前記周辺回路領域において第2のゲート電極を形成する工程を含むことを特徴とする請求項3記載のメモリ集積回路装置の製造方法。

【請求項5】 前記第1の絶縁膜は窒化膜を含み電荷蓄積層を形成し、前記導電膜は、前記第1の絶縁膜に接して形成されることを特徴とする請求項1～4のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【請求項6】 さらに、前記素子分離絶縁パターンの形成工程の後、前記第1の絶縁膜形成工程の前に、前記半導体基板表面に、前記メモリセル領域においては前記第1の溝を除いて、また前記周辺回路領域を除いて、第1導電型拡散領域を形成する工程を含むことを特徴とする請求項1～5のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【請求項7】 さらに、前記素子分離絶縁パターンの形成工程の後、前記第1の絶縁膜の形成工程前に、前記第1の溝の底面に第1導電型の拡散領域を選択的に形成する工程を含むことを特徴とする、請求項1～5のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【請求項8】 前記メモリ集積回路装置は、前記半導体基板上にさらにポンピング回路領域を備え、前記半導体基板上に前記ポンピング回路領域に対応して第3の溝を、前記第1の溝を形成する工程および前記第2の溝を形成する工程と同時に、同一のマスクを使って形成する工程を含み、さらに前記ポンピング回路領域中、前記第3の溝にポンピングキャパシタを形成する工程を含むことを特徴とする請求項1～7のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【請求項9】 さらに、前記第1の絶縁膜形成工程の後、前記導電膜の形成工程の前に、前記第1の絶縁膜を覆うように、別の導電膜を堆積する工程と、前記別の導電膜をエッチバックして、前記第1の溝の側壁面に、前記別の導電膜よりなる側壁絶縁膜を、フローティングゲート電極として形成する工程と、前記側壁絶縁膜を覆うように、別の絶縁膜を堆積する工程とを含み、前記導電膜は前記別の絶縁膜に接して形成されることを特徴とする請求項1～4のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は一般に半導体装置に係り、特に不揮発性半導体メモリおよびその製造方法に関する。

【0002】

フラッシュメモリはDRAMと同様な高集積化に適した簡単な素子構造を有する不揮発性半導体メモリであり、コンピュータや携帯電話を含む様々な情報処理装置に広く使われている。フラッシュメモリでは、一般にフローティングゲートを使って情報を電荷の形で保持することが行われる。

【0003】

一方、最近ではMOSトランジスタのゲート絶縁膜にONO構造を有する絶縁膜を使ったMONOS (metal-oxide-nitride-oxide-semiconductor) 構造あるいはSONOS (semiconductor-oxide-nitride-oxide-semiconductor) 構造を有し、かかるONOゲート絶縁膜中に情報を電荷の形で保持する不揮発性半導体メモリが提案されている。かかるMONOS構造あるいはSONOS構造の不揮発性半導体メモリでは、ゲート絶縁膜中への電荷の注入をソース側から、あるいはドレイン側から行うことにより、多値情報の保持が可能である。

【0004】

【従来技術】

図1は、従来のSONOS構造を有するNOR/AND型不揮発性半導体メモリ10の回路構成を示す図である。

【0005】

図1を参照するに、前記不揮発性半導体メモリ10はONO構造のゲート絶縁膜を有する複数のメモリセルトランジスタ $M_{11} \sim M_{mm}$ を行列状に配列したメモリセルアレイMを有し、前記メモリセルアレイM中において行方向に配列した一群のメモリセルトランジスタは、各々のゲート電極において前記メモリセルアレイM中を行方向に延在するワードライン $WL_n, WL_{n+1}, WL_{n+2}, WL_{n+3} \dots$ のいずれかに共通に接続されている。さらに列方向に配列した一群のメモリセルトランジスタは、ソース拡散領域およびドレイン拡散領域において、前

記メモリセルアレイM中を列方向に延在するデータビットラインDBL_h, DBL_{h+1}, DBL_{h+2}, DBL_{h+3}, DBL_{h+4}・・・のいずれかに共通に接続されている。

【0006】

さらに前記不揮発性半導体メモリ10は選択ゲートラインSG1, 2, 3, 4, ・・・を有し、前記データビットラインDBL_h, DBL_{h+2}は前記選択ゲートラインSG1, SG2に接続された選択トランジスタT1, T2を介して対応するメインビットラインMBL_hに、また前記データビットラインDBL_{h+1}, DBL_{h+3}は前記選択ゲートラインSG3, SG4に接続された選択トランジスタT3, T4を介して対応するメインビットラインMBL_{h+1}に接続される。

【0007】

かかる構成においては、情報は前記メモリセルトランジスタM₁₁, M₁₂, ・・・のソース領域あるいはドレイン領域から、ONO構造を有するゲート絶縁膜中にチャネルホットエレクトロンの形で注入され、保持される。

【0008】

図2は、前記メモリセルアレイM中において前記メモリセルトランジスタM₁₁, M₁₂, ・・・を構成するトランジスタ20の構成を示す。

【0009】

図2を参照するに、前記トランジスタ20はSi基板21上に構成されており、前記Si基板21中には埋め込み拡散領域21A, 21Bが、それぞれソース領域およびドレイン領域として形成されている。さらに前記基板21の表面は酸化膜22a、窒化膜22bおよび酸化膜22cを積層した構造のONO膜22により覆われており、前記ONO膜22上にはポリシリコンゲート電極23が形成されている。

【0010】

図3(A), (B)は、図2のメモリセルトランジスタにおける書き込み動作および消去動作をそれぞれ示す図である。

【0011】

図 3 (A) を参照するに、情報の書き込み時には前記ソース領域 2 1 A が接地され前記ドレイン領域 2 1 B に大きな正電圧 $+V_w$ が、また前記ゲート電極 2 3 に大きな正電圧 $+V_{G1}$ が印加される。その結果チャネル領域のドレイン端での電子の加速によりチャネル中にホットエレクトロンが生じ、このようにして形成されたホットエレクトロンが前記 ONO 膜 2 2 中に注入される。注入されたホットエレクトロンは、前記 ONO 膜 2 2 中、前記ドレイン端近傍の部分に保持される。前記ドレイン領域 2 1 B とソース領域 2 1 A に印加される駆動電圧を入れ替えることで、同様なホットエレクトロンの注入を、前記 ONO 膜のソース端近傍において行うことも可能であり、その結果図 2 のメモリセルトランジスタ 2 0 では図 1 に示した 1 セル 2 ビット書き込みが可能になる。

【 0 0 1 2 】

一方書き込まれた情報を消去する際には、図 3 (B) に示すようにドレイン領域 2 1 B に大きな正電圧 $+V_e$ を印加し、さらに前記ゲート電極 2 3 に大きな負電圧 $-V_{G2}$ を印加することにより、前記ドレイン領域 2 1 B から前記 ONO 膜 2 2 へホールを注入し、前記 ONO 膜 2 2 中、ドレイン端近傍領域に蓄積されていた電荷を消滅させる。電子が ONO 膜 2 2 中のソース端近傍領域に蓄積されている場合には、前記ホール注入をソース領域 2 1 A から行えばよい。

【 0 0 1 3 】

さらに前記 ONO 膜 2 2 のドレイン端近傍領域に書き込まれた情報を読み出す場合には、図 4 (A) に示すように前記ゲート電極 2 3 に所定のゲート電圧 V_g を印加し、前記ドレイン領域 2 1 B を接地、ソース領域 2 1 A に読み出し電圧 V_r を印加する。その結果、前記 ONO 膜 2 2 のドレイン端近傍領域に電子が蓄積されていない場合には前記 Si 基板 2 1 中を前記ゲート電極 2 3 直下に形成されたチャネルを通してキャリアが前記ドレイン領域 2 1 B からソース領域 2 1 A に流れることが可能であり、前記メモリセルトランジスタ 2 0 は導通するのに対し、前記 ONO 膜 2 2 のドレイン端近傍領域に電子が蓄積されている場合には、前記ゲート電極 2 3 直下のチャネルが前記ドレイン端において遮断され、前記トランジスタ 2 0 は導通しない。一方、前記 ONO 膜 2 2 のソース端近傍領域に書き込まれた情報を読み出す場合には、図 4 (A) , (B) において前記ソース領域

2 1 A を接地し、前記ドレイン領域 2 1 B に読み出し電圧 V_r を印加すればよい。

【 0 0 1 4 】

図 5 は、このような SONOS 型フラッシュメモリを集積したメモリ集積回路のうち、メモリセルアレイの構成を示す平面図を、図 6 (A) は、図 5 のメモリセルアレイの断面 1 - 1' に沿った断面図を示す。また図 6 (B) は、図 5 に図示していない周辺回路の素子分離構造近傍の断面を示す。

【 0 0 1 5 】

最初に図 6 (A) の断面図を参照するに、p 型 Si 基板 4 1 上にはビットライン拡散層を構成する n 型領域 4 1 A が互いに平行に形成されており、前記 n 型領域 4 1 A の各々は、p 型パンチスルー防止拡散層 4 1 a により囲まれている。

【 0 0 1 6 】

前記 Si 基板 4 1 の表面には、SiO₂ 膜と SiN 膜と SiO₂ 膜とを積層した、いわゆる ONO 構造の絶縁膜 4 2 が堆積されており、前記 ONO 膜 4 2 上にはポリシリコン膜 4 3 A および WSi 膜 4 3 B を積層した構造のワードラインパターン 4 3 が、図 5 の平面図に示すように、前記ソース領域 4 1 A あるいはドレイン領域 4 1 B に交差するように、互いに平行に形成されている。その結果、図 6 (A) の断面に沿って、先に図 2 で説明した SONOS 型のフラッシュメモリセルが形成される。

【 0 0 1 7 】

また図 5 の平面図に示すように、前記 Si 基板 4 1 表面のうち、前記ワードライン 4 3 直下の領域、および前記パンチスルー防止拡散層 4 1 a を含めた前記ビットライン拡散層 4 1 A を除く領域には、p 型の素子分離拡散層 4 1 A が形成されている。この素子分離拡散層 4 1 A は、図 5 の断面図には現れない。

【 0 0 1 8 】

さらに図 5 の平面図に示すように、前記ワードライン 4 3 はコンタクトホール 4 3 C においてワードライン配線パターン WL_{n+1} , WL_{n+2} , WL_{n+3} , ... WL_{n+i} に接続され、前記ビットライン拡散層 4 1 A はコンタクトホール 4 1 C においてビットライン配線パターン BL_{n+1} , BL_{n+2} , BL_{n+3} , ... BL_{n+i}

に接続される。

【 0 0 1 9 】

一方、図 6 (B) に示すように図 5 および 6 (A) のメモリセルに協働する周辺回路は S T I 型の素子分離構造 4 1 S を有し、前記素子分離構造 4 1 S により画成される素子領域に対応して、S i 基板 4 1 表面にはゲート酸化膜 5 2 が形成されている。また前記ゲート酸化膜上には、図 6 (A) のポリシリコン膜 4 3 A および W S i 膜 4 3 B の積層よりなるゲート電極 5 3 が形成されている。

【 0 0 2 0 】

前記 S T I 構造 4 1 S は、前記 S i 基板 4 1 中に形成された素子分離溝 4 1 G と、前記素子分離溝 4 1 G を充填する C V D - S i O₂ 層 4 1 s とよりなり、前記素子分離溝 4 1 G と C V D - S i O₂ 層 4 1 s との間の界面には、界面に沿ったキャリアの移動が阻止されるように、熱酸化膜 4 1 t が形成されている。

【 0 0 2 1 】

前記素子分離構造 4 1 S 上においては C V D - S i O₂ 層 4 1 s は多少基板表面に対して盛り上がっており、前記ポリシリコン膜 4 3 A および W S i 膜 4 3 B よりなるゲート電極 5 3 は、かかる C V D - S i O₂ 層 4 1 s を覆うようにして延在している。

【 0 0 2 2 】

このような構成の S O N O S 型フラッシュメモリは、先にも説明したように構成が簡単で、また多値情報を記憶できる利点を有するが、メモリ集積回路の集積密度を増大させた場合、隣接するドレイン拡散領域 4 1 A 同士が近接し、パンチスルー防止拡散領域 4 1 a を設けていても、パンチスルー現象が生じるのを回避するのが困難になる。またパンチスルー現象を抑制しようとしてパンチスルー防止拡散領域 4 1 a の不純物濃度を増大させると、トランジスタの閾値特性が変化してしまう。

【 0 0 2 3 】

これに対し特開平 8 - 1 8 6 1 8 3 号公報には、図 7 に示す構成の S O N O S 型フラッシュメモリ 6 0 が提案されている。

【 0 0 2 4 】

図 7 を参照するに、p 型 Si 基板 6 1 の表面にはビット線拡散層となる n 型拡散領域 6 1 A が形成されており、さらに前記 Si 基板 6 1 の表面には前記 n 型拡散領域を横切って、基板 6 1 の内部に切り込む溝 6 1 G が形成されており、前記溝 6 1 G を形成された基板 6 1 の表面には ONO 膜 6 2 が形成されている。さらに前記 ONO 膜 6 2 上にはゲート電極 6 3 が形成されている。

【 0 0 2 5 】

かかる構成のフラッシュメモリでは、前記溝 6 1 G を挟んで隣接する一対のビット線拡散領域 6 1 A がソースおよびドレイン領域を形成し、前記 Si 基板 6 1 中、前記ソース領域とドレイン領域との間に前記 ONO 膜に沿ってチャネルが形成される。そこで先に図 3 (A), (B) および図 4 (A), (B) で説明した動作により、前記 ONO 膜中、前記ビット線拡散領域 6 1 A のいずれかの近傍に情報が電荷の形で蓄積される。

【 0 0 2 6 】

このような構成のフラッシュメモリでは、微細化の結果、ソース拡散領域とドレイン拡散領域との間の直線距離が減少してもチャネルは溝 6 1 G の表面に沿って屈曲して延在するため、パンチスルー現象を効果的に抑制することができる。

【 0 0 2 7 】

【発明が解決しようとする課題】

このように図 7 の構成では、メモリセル領域においては基板 6 1 中に形成された溝 6 1 G に対してメモリセルトランジスタが形成されるため、例えば拡散領域 6 1 A をビット線配線パターンに接続するコンタクトホール、あるいはゲート電極 6 3 をワード線配線パターンに接続するコンタクトホールは、前記溝を基準に位置決めされることになるが、前記フラッシュメモリ集積回路上では周辺回路領域に素子分離溝が形成されており、周辺回路トランジスタはこれらの素子分離溝に対して位置決めされて形成される。

【 0 0 2 8 】

図 7 の溝 6 1 G が周辺回路領域中の素子分離溝と同一のマスクにより形成できる場合には、メモリセル領域におけるメモリセルトランジスタと周辺回路領域における周辺回路トランジスタとを同一のマスクで高精度に形成することが可能で

あるが、図 7 の構成では図 8 に示すように溝 6 1 G は拡散領域 6 1 A を形成した後で形成されるため、周辺回路領域における素子分離溝と同時に、同一のマスクを使って形成することはできない。通常、素子分離溝は、基板上に最初に形成されるものであり、拡散領域 6 1 A をメモリセル領域に形成した後で形成することはない。

【 0 0 2 9 】

このため、図 7 の従来の SONOS 型フラッシュメモリを形成しようとする、最初に第 1 のマスクを使って形成された周辺回路領域の素子分離溝に対して第 2 のマスクを使って形成される溝 6 1 G を位置合わせさせる必要があり、周辺回路領域の素子とメモリセル領域の素子との間の位置合わせ精度が必然的に劣化してしまう。

【 0 0 3 0 】

また、図 7 の構造では、基板表面に拡散領域 6 1 A を形成した後で周辺回路領域においてゲート絶縁膜としても使われる熱酸化膜を、典型的には 1 0 n m あるいはそれ以上の厚さに形成し、さらにその上に窒化膜および熱酸化膜を形成して ONO 膜 6 2 を堆積しており、ONO 膜 6 2 の形成に伴う熱の影響で拡散領域 6 1 A の不純物濃度プロファイルが劣化してしまう恐れがある。特に図 7 の構成では、拡散領域 6 1 A の不純物濃度プロファイルが変化すると、ソース領域とドレイン領域との間のチャネル長が変化してしまう。また図 7 のフラッシュメモリでは、上にも説明したように前記 ONO 膜 6 2 を構成する最下層の SiO_2 膜が、周辺回路領域においてゲート絶縁膜として使われるが、その際に最上層の SiO_2 膜とその下の SiN 膜とをエッチングにより除去する必要がある。しかし、このような構成ではゲート絶縁膜の膜厚が、上層の SiO_2 膜あるいは SiN 膜をエッチング除去する際に減少したり、欠陥がゲート絶縁膜中に導入されるおそれがある。

【 0 0 3 1 】

そこで本発明は上記の課題を解決した、新規で有用な半導体装置の製造方法を提供することを概括的課題とする。

【 0 0 3 2 】

本発明のより具体的な課題は、メモリセル領域と周辺回路領域にそれぞれの溝部を有し、さらにトレンチキャパシタを有するポンピング回路を備えたメモリ集積回路において、前記メモリセル領域と周辺回路領域に高いアラインメント精度で、それぞれの素子を形成できるメモリ集積回路の製造方法を提供することにある。

【 0 0 3 3 】

【課題を解決するための手段】

本発明は上記の課題を、半導体基板上にメモリセル領域と周辺回路領域とを備えたメモリ集積回路装置の製造方法であって、前記半導体基板上に、前記メモリセル領域に対応して第 1 の溝を形成する工程と、前記半導体基板上に、前記周辺回路領域に対応して第 2 の溝を形成する工程とを含み、前記第 1 の溝を形成する工程と前記第 2 の溝を形成する工程とは同時に実行され、さらに前記メモリセル領域に、前記第 1 の溝を基準にメモリセルトランジスタを、前記周辺回路領域に、前記第 2 の溝を素子分離溝とした周辺回路トランジスタを形成する素子形成工程を含むことを特徴とするメモリ集積回路装置の製造方法により、解決する。

【作用】

本発明によれば、メモリセル領域に形成される素子と周辺回路領域に形成される素子が、前記第 1 および第 2 の溝を同時に形成することにより理想的な位置関係で形成され、メモリセル領域のマスクと周辺回路領域のマスクを別々に形成し、これらを位置合わせする必要がなくなる。

【 0 0 3 4 】

また本発明によれば、前記メモリセル領域に第 1 の絶縁膜として電荷蓄積絶縁膜あるいはトンネル絶縁膜を形成した後、前記周辺回路領域から前記第 1 の絶縁膜を除去し、改めて第 2 の絶縁膜をゲート絶縁膜として形成するため、前記周辺回路領域におけるゲート絶縁膜あるいはキャパシタ絶縁膜の膜質の劣化を回避することが可能になる。

【 0 0 3 5 】

【発明の実施の形態】

【第 1 実施例】

図 9 (A), (B) および図 10 (C) は、本発明の第 1 実施例による製造方法により製造される、SONOS 型フラッシュメモリを含むメモリ集積回路装置 100 の構成を示す断面図である。

【0036】

図面を参照するに、メモリ集積回路装置 100 は p 型 Si 基板 101 上に形成されており、図 9 (A) に示すメモリセル領域 100 A と、図 9 (B) に示す周辺回路領域 100 B と、図 10 (C) に示すポンピング回路領域 100 C とを含む。

【0037】

図 9 (A) を参照するに、前記メモリセル領域 100 A には基板 101 の表面に複数の溝 $101G_1$ が互いに平行に形成されており、前記 Si 基板 101 の表面にはさらに複数の n 型ビット線拡散領域 101 B が、前記溝 $101G_1$ により隔てられて形成されている。

【0038】

図 9 (A) に示すように前記溝 $101G_1$ の深さは前記拡散領域 101 B の厚さよりも大きく、さらに前記 Si 基板 101 表面には前記溝 $101G_1$ の形状に沿って、ONO 構造の電荷蓄積膜 102 が形成されている。

【0039】

さらに、前記電荷蓄積膜 102 上には、膜 102 の最上部の SiO_2 膜に接して、ポリシリコン膜 103 A と WSi 膜 103 B とを積層した構造のゲート電極 103 が、前記溝 $101G_1$ に直交する方向に延在するように形成される。

【0040】

一方図 9 (B) の周辺回路領域 100 B では、前記 Si 基板 101 中に前記溝 $101G_1$ よりも深い素子分離溝 G_2 が形成されており、前記素子分離溝 $101G_2$ は、溝表面に形成された熱酸化膜 $101t$ を介して、STI (shallow trench isolation) 構造を形成する素子分離絶縁パターン 101 S により充填されている。

【0041】

このように、図 9 (A) に示す SONOS 型フラッシュメモリでは、前記溝 1

0 1 G₁を挟んで隣接する一対のビット線拡散領域 1 0 1 B の一方がソース領域を、他方がドレイン領域を形成し、チャネルが前記 S i 基板 1 0 1 中、溝 1 0 1 G₁の表面に沿って、前記ソース領域からドレイン領域まで形成される。

【 0 0 4 2 】

そこで、先に図 3 (A) , (B) あるいは図 4 (A) , (B) に示した動作により、前記 O N O 膜よりなる電荷蓄積膜 1 0 2 中に 2 値情報を、電荷の形で書き込み、読出し、あるいは消去することが可能である。

【 0 0 4 3 】

一方図 9 (B) に示すように、前記周辺回路領域 1 0 0 B では前記基板 1 0 1 の表面は、前記電荷蓄積絶縁膜 1 0 2 とは別の薄いゲート酸化膜 1 0 4 により覆われており、前記ゲート絶縁膜 1 0 4 上には前記ゲート電極 1 0 3 と同じポリシリコン膜 1 0 3 A および W S i 膜 1 0 3 B を積層した構成の、別のゲート電極パターン 1 0 5 が形成されている。

【 0 0 4 4 】

さらに図 1 0 (C) に示すように前記ポンピング回路領域 1 0 0 C には前記溝 1 0 1 G₂と同じ深さに溝 1 0 1 G₃が形成されており、前記溝 1 0 1 G₃の表面には、前記ゲート酸化膜 1 0 4 と同一の熱酸化膜 1 0 6 が、同一の膜厚に形成されている。前記熱酸化膜 1 0 6 は、ポンピング回路領域 1 0 0 C において前記 S i 基板 1 0 1 の表面をも、連続して覆っている。また前記溝 1 0 1 G₃は、前記熱酸化膜 1 0 6 を介して前記ポリシリコン膜 1 0 3 A と W S i 膜 1 0 3 B とよりなるキャパシタ電極 1 0 7 により充填されている。

【 0 0 4 5 】

図 1 1 (A) , (B) ~ 3 1 は、本実施例によるフラッシュメモリ集積回路装置の製造工程を示す。

【 0 0 4 6 】

図 1 1 (A) , (B) を参照するに、前記メモリセル領域 1 0 0 A および周辺回路領域 1 0 0 B , さらにポンピング回路領域 1 0 0 C において前記 S i 基板 1 0 1 の表面には熱酸化膜 1 0 1 a および S i N 膜 1 0 1 b が、それぞれ 1 0 ~ 2 0 n m および 1 0 0 ~ 1 5 0 n m の膜厚に形成され、さらに図 1 2 (A) , (B

）の工程において前記SiN膜101bおよびその下の熱酸化膜101a、さらに前記Si基板101が、前記SiN膜101b上に形成されたレジストパターンR1をマスクにドライエッチングされ、その結果、前記Si基板101中に、前記レジストパターンR1中の開口部に対応して、前記溝101G₁～101G₃が、50～100nmの深さに形成される。

【0047】

次に図13（A），（B）の工程において前記レジストパターンR1が除去され、さらに前記Si基板101上に、前記メモリセル領域100Aを多い、前記周辺回路領域100Bおよびポンピング回路領域100Cを露出するレジストパターンR2を形成し、前記メモリセル領域100Aにおいては前記レジストパターンR2を、前記周辺回路領域100Bおよびポンピング回路領域100Cにおいては前記SiN膜101bをマスクに、前記Si基板101をドライエッチングし、前記溝101G₂および101G₃を、前記基板101の表面から測った深さが200～400nmになるように形成する。

【0048】

なお図13（A），（B）の工程では、このように前記レジストパターンR1とは別のレジストパターンR2を使って前記溝101G₂および101G₃の深さを前記溝101G₁に対して増大させているが、溝101G₂、101G₃を溝101G₁よりも深く形成した図13（A），（B）の構造は、図12（A），（B）の工程において単一のレジストパターンR1を使い、マイクロローディング技術を使うことにより、一回のプロセスで形成することも可能である。

【0049】

次に図14（A），（B）の工程において前記レジストパターンR2が除去され、さらに800～900℃での熱酸化工程により、前記溝101G₁～101G₃の表面に熱酸化膜101tを10～20nmの厚さに形成する。さらに例えばTEOSを原料として使ったCVD法により、前記SiN膜101b上に前記溝101G₁～101G₃を充填するようにCVD-SiO₂膜（図示せず）を400～700nmの厚さに堆積し、さらに前記SiN膜101bをストップとしたCMP法により前記SiN膜101b上に堆積した前記CVD-SiO₂膜を

除去し、前記溝 1 0 1 G₁ 中に SiO₂ パターン 1 0 1 s を、また前記溝 1 0 1 G₂ 中に SiO₂ パターン 1 0 1 S を、前記熱酸化膜 1 0 1 t を介して形成する。このようにして前記溝 1 0 1 G₂ 中に形成された前記 SiO₂ パターン 1 0 1 S は、STI 素子分離構造を形成する。なお、図 1 4 (A), (B) の工程では、前記周辺回路領域 1 0 0 B において前記溝 1 0 1 G₂ を前記 CVD-SiO₂ 膜により充填するのに先立って前記溝 1 0 1 G₂ の底部に、前記周辺回路領域 1 0 0 B に形成される MOS トランジスタのチャネル導電型と逆導電型の不純物元素を、チャネルストッパとしてイオン注入により導入してもよい。

【 0 0 5 0 】

次に図 1 5 (A), (B) の工程において、前記 SiN 膜 1 0 1 b およびその下の熱酸化膜 1 0 1 a がウェットエッチングにより除去され、さらに図 1 6 (A), (B) の工程において 8 0 0 ~ 9 0 0 °C での熱酸化処理により、前記領域 1 0 0 A ~ 1 0 0 C において Si 基板表面に熱酸化膜 1 0 1 v が形成される。

【 0 0 5 1 】

次に図 1 7 (A), (B) の工程において前記周辺回路領域 1 0 0 B およびポンピング回路領域 1 0 0 C がレジストパターン R 3 により覆われ、前記メモリセル領域 1 0 0 A に前記 SiO₂ パターン 1 0 1 s をマスクに As イオンを、例えば 6 0 ~ 8 0 k e V の加速電圧下、 $1 \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、前記熱酸化膜 1 0 1 v を介してイオン注入し、前記 Si 基板表面に、前記溝 1 0 1 G₁ で相互に隔てられた複数のビット線拡散領域 1 0 1 B を形成する。

【 0 0 5 2 】

次に図 1 8 (A), (B) の工程において前記レジストパターン R 3 をマスクに前記メモリセル領域 1 0 0 A において前記 SiO₂ パターン 1 0 1 および熱酸化膜 1 0 1 v, 1 0 1 s が HF を使ったウェットエッチング処理により除去され、前記溝 1 0 1 G₁ の表面が露出される。

【 0 0 5 3 】

さらに図 1 9 (A), (B) の工程において前記レジストパターン R 3 が除去され、さらに前記 Si 基板表面に熱酸化処理工程、CVD 法による SiN 膜の堆積工程および熱酸化処理を行うことにより、前記メモリセル領域 1 0 0 A におい

て前記基板 1 0 1 の表面および溝 1 0 1 G₁ の表面を覆うように、ONO 膜 1 0 2 が形成される。図 1 9 (A), (B) の工程では前記 ONO 膜 1 0 2 は、図 1 9 (B) に示すように前記周辺回路領域 1 0 0 B および 1 0 0 C 上にも形成される。

【 0 0 5 4 】

さらに図 2 0 (A), (B) および図 2 1 (C) の工程において前記素子領域 1 0 0 A がレジストパターン R 4 により覆われ、前記周辺回路領域 1 0 0 B およびポンピング回路領域において前記 ONO 膜 1 0 2 を除去する。

【 0 0 5 5 】

次に図 2 2 (A), (B) および図 2 3 (C) の工程において前記 Si 基板 1 0 1 上に前記メモリセル領域 1 0 0 A および周辺回路領域 1 0 1 B を覆うようにレジストパターン R 5 を形成し、露出されたポンピング回路領域 1 0 1 C において前記 SiO₂ パターン 1 0 1 S および熱酸化膜 1 0 1 t を、HF を使ったウェットエッチングにより除去する。これにより、前記ポンピング回路領域 1 0 1 C においては前記溝 1 0 1 G₃ が露出する。

【 0 0 5 6 】

次に図 2 4 (A), (B) および図 2 5 (C) の工程において前記レジストパターン R 5 が除去され、さらに 8 0 0 ~ 1 1 0 0 °C の温度で熱酸化処理を行うことにより、前記周辺回路領域 1 0 0 B において基板 1 0 1 の表面に、前記ゲート酸化膜 1 0 4 が 5 ~ 1 0 n m の厚さに形成される。また同時に、前記ポンピング回路領域 1 0 0 C において前記基板 1 0 1 の表面および溝 1 0 1 G₃ の表面を覆うように、前記熱酸化膜 1 0 6 が、同様な厚さに形成される。なお、図 2 4 (A), (B) および図 2 5 (C) の工程では、必要に応じて前記ゲート酸化膜 1 0 4 をレジストプロセスにより部分的に除去し、改めて 8 0 0 ~ 1 1 0 0 °C の温度での熱酸化処理を行うことにより、低電圧トランジスタに対応した 3 ~ 7 n m の膜厚のゲート酸化膜を形成することも可能である。この場合、前記ゲート酸化膜 1 0 4 は低電圧トランジスタのゲート酸化膜の分だけ増膜し、高電圧トランジスタに対応した厚いゲート酸化膜が形成される。

【 0 0 5 7 】

さらに図 2 6 (A), (B) および図 2 7 (C) の工程においてポリシリコン膜 1 0 3 A および W S i 膜 1 0 3 B が図 2 4 (A), (B) および図 2 5 (C) の構造上に形成され、前記ゲート電極膜 2 3 が形成される。

【 0 0 5 8 】

さらに、このようにして形成されたゲート電極膜 2 3 を図 2 8 に示すようにパターンニングすることにより、メモリセル領域 1 0 0 A 上にワードラインを構成する複数のゲート電極パターンが、前記ビット線拡散領域 1 0 1 B の延在方向に直行する方向に、互いに平行に形成される。また図 2 8 には、周辺回路領域 1 0 0 B 上に、周辺回路トランジスタのゲート電極 1 0 3 G が、前記ゲート電極膜 1 0 3 のパターンニングの結果、形成されているのがわかる。図 2 8 にはポンピング回路領域は図示していない。

【 0 0 5 9 】

さらに図 2 9 の工程において図 2 8 の構造上に B をイオン注入することにより、前記溝 1 0 1 G₁ の底部に p 型のチャネルカット拡散領域 1 0 1 H が形成される。ただし、図 2 9 は図 2 9 中、線 2 - 2' に沿った断面図である。

【 0 0 6 0 】

図 3 0 は、このようにして形成された、図 9 (A), (B) に対応するフラッシュメモリ集積回路の平面図を示す。

【 0 0 6 1 】

図 3 0 を参照するに、図 2 8 の構造において S i 基板 1 0 1 が露出されていた部分に前記素子分離拡散層 1 0 1 H が形成されているのがわかる。

【 0 0 6 2 】

図 3 0 の構造では、前記 S i 基板 1 0 1 の表面には前記ワード線パターン 1 0 3 および周辺回路トランジスタのゲート電極パターン 1 0 3 G を覆うように、図示していない層間絶縁膜が形成されており、さらに前記層間絶縁膜上に形成されたメタル配線パターン M 1 が、前記層間絶縁膜中に形成されたコンタクトホール C 1 あるいは C 2 を介して前記メモリセル領域 1 0 0 A 中のビット線拡散領域 1 0 1 B に、あるいは前記周辺回路領域 1 0 0 B 中の拡散領域にコンタクトする。

【 0 0 6 3 】

その際、本発明では前記メモリセル領域 1 0 0 A 中に形成された溝 1 0 1 G₁ と周辺回路領域 1 0 0 B 中に形成された溝 1 0 1 G₂、さらに図示していないポンピング回路領域 1 0 0 C 中に形成された溝 1 0 1 G₃ が、同一のマスクにより形成されているため、前記微細なコンタクトホール C 1 あるいは C 2 を形成する際に、別々のマスクを使う必要がなく、単一のマスク合わせ工程により、高い精度でのコンタクトホール形成が可能になる。

〔第 2 実施例〕

図 3 1 (A), (B) は、本発明の第 2 実施例による SONOS 型フラッシュメモリを含むフラッシュメモリ集積回路装置 2 0 0 の構成を示す断面図である。ただし図 3 1 (A) はメモリセル領域 2 0 0 A の構成を、図 3 1 (B) は周辺回路領域 2 0 0 B の構成を示す。

【 0 0 6 4 】

図 3 1 (A) を参照するに、p 型 Si 基板 2 0 1 上には前記メモリセル領域 2 0 0 A において複数の溝 2 0 1 G₁ が互いに平行に形成されており、一方前記周辺回路領域 2 0 0 B には素子分離溝 2 0 1 G₂ が、より大きな深さで形成されている。

【 0 0 6 5 】

前記メモリセル領域 2 0 0 A においては前記溝 2 0 1 G₁ の底部に p 型パンチスルー防止拡散領域 2 0 1 A と n 型ビット線拡散領域 2 0 1 B とが形成されているが、拡散係数の大きな B の導入により形成されている p 型拡散領域 2 0 1 A は、A s の導入により形成されている n 型ビット線拡散領域 2 0 1 B を包むように形成されている。

【 0 0 6 6 】

前記メモリセル領域 2 0 0 A においてはさらに前記 Si 基板 2 0 1 の表面に ONO 膜 2 0 2 が、SONOS 型フラッシュメモリの電荷蓄積膜として、前記溝 2 0 1 G₁ の表面に沿って連続的に形成されており、前記 ONO 膜 2 0 2 上にはポリシリコン膜 2 0 3 A および W Si 膜 2 0 3 B よりなるゲート電極 2 0 3 が、前記溝 2 0 1 G₁ の延在方向に対して交差する方向に延在するように形成されてい

る。

【0067】

一方前記周辺回路領域200Bにおいては前記溝201G₂は表面が熱酸化膜201tにより覆われ、さらにSTI構造を形成するCVD-SiO₂パターン201Sにより充填されている。

【0068】

また前記周辺回路領域200BにおいてはSi基板201の表面に熱酸化膜204が、前記領域200Bに形成されるMOSトランジスタのゲート絶縁膜として形成されている。さらに前記ゲート酸化膜204上には、前記ポリシリコン膜203AとWSi膜203Bとを積層した構造のゲート電極205が形成されている。

【0069】

図32(A), (B)は、前記メモリセル領域200Aに形成されるSONOS型フラッシュメモリの書き込みおよび消去動作をそれぞれ説明する図である。

【0070】

図32(A)を参照するに、書き込み時には前記ゲート電極203に例えば+10Vの高電圧が印加され、この状態でソース領域となる一方のビット線拡散領域201Bを接地し、ドレイン領域となる隣接するビット線拡散領域201Bに+5Vの駆動電圧を印加する。

【0071】

その結果、前記Si基板201中を電子が、前記ONO膜202により覆われた溝201G₁の表面および基板201の表面に沿って、前記ソース領域201Bからドレイン領域201Bへと流れ、ドレイン端近傍で加速されたホットエレクトロンが、前記ONO膜202中に注入され、捕獲される。また図中、前記ソース領域に+5Vの駆動電圧を印加してドレイン領域を接地することにより、図31(A)中、ソース領域側においてONO膜202中に負電荷を、情報として注入することが可能である。このように、本実施例のSONOS型フラッシュメモリにおいても2値記憶が可能である。またアバランシェホットエレクトロンによる書き込みも可能である。

【 0 0 7 2 】

また図 3 2 (B) の消去動作時には、前記ビット線拡散領域 2 0 1 B をフローティング状態に設定し、基板 2 0 1 を接地した状態で前記ゲート電極 2 0 3 に -1 5 V の高電圧を印加することにより、前記 ONO 膜中に捕獲されていた負電荷を基板 2 0 1 へと排出し、記憶されていた情報を消去することが可能になる。図 3 2 (B) のプロセスにより、図中ソース領域 2 0 1 B 側において ONO 膜 2 0 2 中に保持されていた電荷も、基板 2 0 1 中に排出される。また消去は、必要に応じてバンド間トンネリングによるホットホール注入により、あるいはアバランシェホットホール注入により行うことも可能である。

【 0 0 7 3 】

次に本実施例のフラッシュメモリ集積回路装置の製造工程を、図 3 4 ~ 4 7 を参照しながら説明する。

【 0 0 7 4 】

図 3 3 (A), (B) を参照するに、前記 Si 基板 2 0 1 の表面にはメモリセル領域 2 0 0 A および周辺回路領域を連続的に覆うように熱酸化膜 2 0 1 a が 1 0 ~ 2 0 n m の厚さに形成され、さらに前記熱酸化膜 2 0 1 a 上に CVD 法により SiN 膜が、1 0 0 ~ 1 5 0 n m の厚さに形成される。

【 0 0 7 5 】

次に図 3 4 (A), (B) の工程において図 3 3 (A), (B) の構造上にレジストパターン R 1 1 を形成し、前記レジストパターン R 1 1 をマスクに前記 SiN 膜 2 0 1 b, 熱酸化膜 2 0 1 a および Si 基板 2 0 1 の表面をドライエッチングすることにより、前記メモリセル領域 2 0 0 A に前記溝 2 0 1 G₁ が、また前記周辺回路領域 2 0 0 B に前記溝 2 0 1 G₂ が、同時に形成される。前記溝 2 0 1 G₁ および前記溝 2 0 1 G₂ は同一のマスクにより形成されているため、溝 2 0 1 G₁ と溝 2 0 1 G₂ との間には、理想的な位置整合が成立する。

【 0 0 7 6 】

次に図 3 5 (A) の工程において前記レジストパターン R 1 1 が除去され、さらに前記メモリセル領域 2 0 0 A を覆い周辺回路領域 2 0 0 B を露出するレジストパターン R 1 2 が形成される。さらに図 3 5 (A) の工程では前記周辺回路領

域 2 0 0 B において前記 Si N 膜 2 0 1 b をハードマスクに、前記 Si 基板のドライエッチングを、前記溝 2 0 1 G₂ の基板 2 0 1 表面から測った深さが 2 0 0 ~ 4 0 0 nm に達するまで継続する。

【 0 0 7 7 】

さらに図 3 6 (A), (B) の工程において前記レジストパターン R 1 2 を除去し、さらに前記溝 2 0 1 G₁, 2 0 1 G₂ の表面を 8 0 0 ~ 9 0 0 °C で熱酸化処理し、1 0 ~ 2 0 nm の膜厚の熱酸化膜 2 0 1 t を形成する。さらに図 3 6 (A), (B) の工程では、このように熱酸化膜 2 0 1 t を形成された溝 2 0 1 G₁ および 2 0 1 G₂ を充填するように、TEOS を原料とした CVD-SiO₂ 膜 (図示せず) が 4 0 0 ~ 7 0 0 nm の膜厚で堆積され、さらに前記 Si N 膜 2 0 1 b をストッパに、CMP 法により前記 Si N 膜 2 0 1 b 上の CVD-SiO₂ 膜を除去することにより、前記溝 2 0 1 G₁ に SiO₂ パターン 2 0 1 s を、また前記溝 2 0 1 G₂ に SiO₂ パターン 2 0 1 S を形成する。前記 SiO₂ パターン 2 0 1 S は、前記溝 2 0 1 G₂ 中において STI 素子分離構造を形成する。

【 0 0 7 8 】

次に図 3 7 (A), (B) の工程において前記周辺回路領域 2 0 0 B をレジストパターン R 1 3 で保護し、前記メモリセル領域 2 0 0 A から前記 SiO₂ パターン 2 0 1 s を除去する。その結果、図 3 7 (A), (B) の工程では、前記メモリセル領域 2 0 0 A において溝 2 0 1 G₁, 2 0 1 G₂ が露出される。

【 0 0 7 9 】

次に図 3 8 (A), (B) の工程において前記レジストパターン R 1 3 を除去し、さらに 8 0 0 ~ 9 0 0 °C の温度での熱酸化処理により、前記溝 2 0 1 G₁ の表面に熱酸化膜 2 0 1 c を形成する。

【 0 0 8 0 】

次に図 3 9 (A), (B) の工程において、前記 Si 基板 2 0 1 上に、前記 Si N 膜 2 0 1 b および STI パターン 2 0 1 S を自己整合マスクに、B を例えば 5 0 ~ 7 0 keV の加速電圧下、 $1 \sim 3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記溝 2 0 1 G₁ の底部に p 型パンチスルー防止拡散領域 2 0 1 A を形成する。

【 0 0 8 1 】

さらに続いて本実施例では図 4 0 (A), (B) の工程を実行し、前記 3 9 (A), (B) の工程と同様にして A s を、 $60 \sim 80 \text{ keV}$ の加速電圧下、 $1 \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記溝 2 0 1 G₁ の底部にビット線拡散領域 2 0 1 B を形成する n 型拡散領域を形成する。その際、拡散係数の大きな B は前記 n 型拡散領域 2 0 1 B の外側まで拡散し、前記 n 型ビット線拡散領域 2 0 1 B を包む p 型パンチスルー防止拡散領域 2 0 1 A が形成される。

【 0 0 8 2 】

図 3 9 (A), (B) および図 4 0 (A), (B) の工程では前記周辺回路領域 2 0 0 B は S i N パターン 2 0 1 b および S T I パターン 2 0 1 S により覆われており、イオン注入はなされない。

【 0 0 8 3 】

次に図 4 1 (A), (B) の工程において前記 S i N 膜 2 0 1 b が除去され、さらに前記 S i N 膜 2 0 1 b およびその下の熱酸化膜 2 0 1 a、また前記溝 2 0 1 G₁ を充填している S i O₂ パターン 2 0 1 s および熱酸化膜 2 0 1 c が除去され、図 4 2 (A), (B) の工程において前記 S i 基板 2 0 1 上に前記 O N O 膜 2 2 を、前記領域 2 0 1 A 上において前記溝 2 0 1 G₁ を一様に覆うように形成する。

【 0 0 8 4 】

次に図 4 3 (A), (B) の工程において前記メモリセル領域 2 0 0 A をレジストパターン R 1 4 で保護し、前記周辺回路領域 2 0 0 B から前記 O N O 膜をウェットエッチングにより除去する。

【 0 0 8 5 】

さらに図 4 4 (A), (B) の工程において前記レジストパターン R 1 4 を除去し、得られた基板を $800 \sim 1100^\circ\text{C}$ の温度で熱酸化することにより、前記周辺回路領域 2 0 0 B において前記 S i 基板 2 0 1 の表面に熱酸化膜 2 0 4 を例えば $5 \sim 10 \text{ nm}$ の厚さに、前記周辺回路領域 2 0 0 B に形成される周辺トランジスタのゲート絶縁膜として形成する。先の実施例と同様に、本実施例においても前記周辺回路領域 2 0 0 B に膜厚がより薄い低電圧動作トランジスタ用のゲー

ト絶縁膜と膜厚がより厚い高電圧動作トランジスタ用のゲート絶縁膜とを形成することができる。

【0086】

さらに図45(A), (B)の工程において図44(A), (B)の構造上にポリシリコン膜203AとWSi膜203Bとを順次形成し、さらに得られた導体膜をパターンニングすることにより、前記メモリセル領域200AにおいてSONOS型フラッシュメモリのゲート電極203を、前記ゲート電極203が前記ビット線拡散領域201B、従って前記溝201G₁に交差するように形成する。また同時に、前記周辺回路領域200Bにおいて前記周辺トランジスタのゲート電極205が形成される。

【0087】

次に図46(A)の工程あるいは図46(B)の工程において、前記周辺回路領域200Bをレジストパターン(図示せず)により保護し、前記メモリセル領域200AにおいてBを20~40keVの加速電圧下、 $5 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記Si基板201の表面の、前記溝201G₁と隣接する溝201G₁との間の領域で、隣接するゲート電極203とゲート電極203との間の部分にp型の素子分離拡散層201Cを形成する。

【0088】

あるいは図46(B)に示すように、前記素子分離拡散領域201Cを形成するイオン注入工程を、7~15°のチルト角をもって実行し、前記溝201G₁の側壁面、前記ONO膜202の下に、前記素子分離拡散領域201Cが連続するように形成することもできる。

【0089】

本実施例においても、メモリセル領域200Aの溝201G₁と周辺回路領域200Bの溝201G₂とが、同時に同一のマスクを使って形成されるため、前記メモリセル領域200A中に前記溝201G₁を基準に形成されるSONOS型フラッシュメモリセルと前記周辺回路領域200B中に前記素子分離溝201G₂を基準に形成される周辺回路トランジスタとは、理想的に位置整合しており、このようなメモリ集積回路上に配線パターンを形成し、配線パターンとフラッ

シユメモリセルあるいは周辺回路トランジスタとを微細なコンタクトホールで接続する場合にも、コンタクトホールの位置合わせを単一のマスクを使った直接位置合わせにより実行することが可能である。

〔第 3 実施例〕

図 4 7 (A), (B) は、本発明の第 3 実施例による SONOS 型フラッシュメモリを含むフラッシュメモリ集積回路装置 3 0 0 の構成を示す断面図である。ただし図 4 7 (A) はメモリセル領域 3 0 0 A の構成を、図 3 1 (B) は周辺回路領域 3 0 0 B の構成を示す。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【 0 0 9 0 】

図 4 7 (A) を参照するに、p 型 Si 基板 2 0 1 上には前記メモリセル領域 3 0 0 A において複数の溝 2 0 1 G₁ が互いに平行に形成されており、一方前記周辺回路領域 3 0 0 B には素子分離溝 2 0 1 G₂ が、より大きな深さで形成されている。

【 0 0 9 1 】

前記メモリセル領域 3 0 0 A においては前記溝 2 0 1 G₁ の底部に p 型パンチスルー防止拡散領域 2 0 1 A と n 型ビット線拡散領域 2 0 1 B とが形成されているが、拡散係数の大きな B の導入により形成されている p 型拡散領域 2 0 1 A は、A s の導入により形成されている n 型ビット線拡散領域 2 0 1 B を包むように形成されている。

【 0 0 9 2 】

前記メモリセル領域 3 0 0 A においてはさらに前記 Si 基板 2 0 1 の表面に ONO 膜 2 0 2 が、SONOS 型フラッシュメモリの電荷蓄積膜として、前記溝 2 0 1 G₁ の表面に沿って連続的に形成されており、前記 ONO 膜 2 0 2 上にはポリシリコン膜 2 0 3 A および W Si 膜 2 0 3 B よりなるゲート電極 2 0 3 が、前記溝 2 0 1 G₁ の延在方向に対して交差する方向に延在するように形成されている。

【 0 0 9 3 】

さらに本実施例では前記メモリセル領域 3 0 0 A において前記溝 2 0 1 G₁ の側壁面に、前記 ONO 膜 2 0 2 に沿って、n 型のチャネルドープ領域 2 0 1 D が形成されている。

【0 0 9 4】

一方前記周辺回路領域 3 0 0 B においては前記溝 2 0 1 G₂ は表面が熱酸化膜 2 0 1 t により覆われ、さらに S T I 構造を形成する C V D - S i O₂ パターン 2 0 1 S により充填されている。

【0 0 9 5】

また前記周辺回路領域 3 0 0 B においては S i 基板 2 0 1 の表面に熱酸化膜 2 0 4 が、前記領域 3 0 0 B に形成される M O S トランジスタのゲート絶縁膜として形成されている。さらに前記ゲート酸化膜 2 0 4 上には、前記ポリシリコン膜 2 0 3 A と W S i 膜 2 0 3 B とを積層した構造のゲート電極 2 0 5 が形成されている。

【0 0 9 6】

前記周辺回路領域 3 0 0 B の構成は、先の実施例のものと同一である。

【0 0 9 7】

本実施例において、メモリセル領域 3 0 0 A に形成される S O N O S 型フラッシュメモリの動作は、先に図 3 2 (A) , (B) で説明したものと同一である。

【0 0 9 8】

次に本実施例のフラッシュメモリ集積回路装置の製造工程を、図 4 8 ~ 5 2 を参照しながら説明する。

【0 0 9 9】

図 4 8 (A) , (B) を参照するに、先の実施例と同様な工程により図 3 8 (A) , (B) と同様な構造が形成され、さらに図 4 8 (A) , (B) の工程では前記メモリセル領域 3 0 0 A において前記溝 2 0 1 G₁ の側壁面および底面に p 型パンチスルー防止拡散領域 2 0 1 A を、前記 S i N 膜 2 0 1 b をマスクに、B を斜め方向に、前記溝 2 0 1 G₁ の表面を覆う熱酸化膜 2 0 1 t を介してイオン注入することにより形成する。前記 B の斜めイオン注入工程は、例えば 5 0 ~ 7 0 k e V の加速電圧下、1 5 ~ 3 0 ° のチルト角と $1 \sim 3 \times 1 0^{13} \text{ cm}^{-2}$ のドー

ズ量で実行される。前記周辺回路領域 3 0 0 B は S i N 膜 2 0 b および S T I 素子分離構造 2 0 1 S が露出しているだけなので、このようなイオン注入を行っても、S i 基板中に B が導入されることはない。

【 0 1 0 0 】

次に図 4 9 (A), (B) の工程において、引き続き前記 S i N 膜 2 0 1 b をマスクに、前記メモリセル領域 3 0 0 A に P を 5 0 ~ 7 0 k e V の加速電圧下、 $5 \times 10^{12} \sim 2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で斜め方向にイオン注入し、前記溝 2 0 1 G₁ の側壁面に、先に形成されている p 型パンチスルー防止拡散領域 2 0 1 A を打ち消すように、n 型チャネルドープ拡散領域 2 0 1 D を形成する。その際、前記 P イオンのイオン注入の際のチルト角は、P のイオン注入が前記溝 2 0 1 G₁ の側壁面のみになされるように設定される。

【 0 1 0 1 】

次に図 5 0 (A), (B) の工程においてさらに A s を前記 S i 基板 2 0 1 に垂直な方向に、6 0 ~ 8 0 k e V の加速電圧下、 $1 \sim 3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記メモリセル領域 3 0 0 A において前記溝 2 0 1 G₁ の底部に n 型ビット線拡散領域 2 0 1 B を、図 4 0 (A), (B) の工程と同様に形成する。

【 0 1 0 2 】

図 5 0 (A), (B) の工程の後、先の実施例における図 4 1 (A), (B) ~ 図 4 5 (A), (B) の工程を行うことにより、図 5 1 (A), (B) に示す構造が得られる。

【 0 1 0 3 】

さらに図 5 2 (A), (B) の工程において先の実施例における図 4 6 (A) あるいは図 4 6 (B) に対応するイオン注入工程を行ない、p 型素子分離拡散層 2 0 1 C を図 5 2 (A) に示すように前記 S i 基板 2 0 1 の表面に、あるいは図 5 2 (B) に示すように前記 S i 基板 2 0 1 の表面および前記溝 2 0 1 G₁ の側壁面に、前記チャネルドープ拡散領域 2 0 1 D と部分的に重畳するように形成される。

[第 4 実施例]

図 5 3 (A), (B) は、本発明の第 4 実施例による SONOS 型フラッシュメモリを含むフラッシュメモリ集積回路装置 4 0 0 の構成を示す断面図である。ただし図 5 3 (A) はメモリセル領域 4 0 0 A の構成を、図 5 3 (B) は周辺回路領域 4 0 0 B の構成を示す。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0 1 0 4】

図 5 3 (A) を参照するに、p 型 Si 基板 2 0 1 には前記メモリセル領域 4 0 0 A において n 型ウェル 2 0 1 N と p 型ウェル 2 0 1 P とが、前記 p 型ウェル 2 0 1 P が前記 n 型ウェル 2 0 1 N 中に含まれるように形成されており、前記 p 型ウェル 2 0 1 P 上には複数の溝 2 0 1 G₁ が互いに平行に形成されている。一方前記周辺回路領域 4 0 0 B には素子分離溝 2 0 1 G₂ が、より大きな深さで形成されている。

【0 1 0 5】

前記メモリセル領域 4 0 0 A においては前記溝 2 0 1 G₁ の底部に p 型パンチスルー防止拡散領域 2 0 1 A と n 型ビット線拡散領域 2 0 1 B とが形成されているが、拡散係数の大きな B の導入により形成されている p 型拡散領域 2 0 1 A は、A s の導入により形成されている n 型ビット線拡散領域 2 0 1 B を包むように形成されている。

【0 1 0 6】

前記メモリセル領域 4 0 0 A においてはさらに前記 Si 基板 2 0 1 の表面に ONO 膜 2 0 2 が、SONOS 型フラッシュメモリの電荷蓄積膜として、前記溝 2 0 1 G₁ の表面に沿って連続的に形成されており、前記 ONO 膜 2 0 2 上にはポリシリコン膜 2 0 3 A および W Si 膜 2 0 3 B よりなるゲート電極 2 0 3 が、前記溝 2 0 1 G₁ の延在方向に対して交差する方向に延在するように形成されている。

【0 1 0 7】

一方前記周辺回路領域 4 0 0 B においては前記溝 2 0 1 G₂ は表面が熱酸化膜 2 0 1 t により覆われ、さらに STI 構造を形成する CVD-SiO₂ パターン

2 0 1 S により充填されている。

【 0 1 0 8 】

また前記周辺回路領域 4 0 0 B においては S i 基板 2 0 1 の表面に熱酸化膜 2 0 4 が、前記領域 4 0 0 B に形成される M O S トランジスタのゲート絶縁膜として形成されている。さらに前記ゲート酸化膜 2 0 4 上には、前記ポリシリコン膜 2 0 3 A と W S i 膜 2 0 3 B とを積層した構造のゲート電極 2 0 5 が形成されている。

【 0 1 0 9 】

前記周辺回路領域 4 0 0 B の構成は、先の実施例のものと同一である。

【 0 1 1 0 】

図 5 4 (A) , (B) は、本実施例の S O N O S 型フラッシュメモリの、それぞれ書き込みおよび消去動作を説明する図である。

【 0 1 1 1 】

図 5 4 (A) を参照するに、 O N O 膜 2 2 中、図中で右側のビット線拡散領域 2 0 1 B に電子を注入して情報の書き込みを行う場合、前記 n 型ウェル 2 0 1 N およびソース領域として使われる図中左側のビット線拡散領域 2 0 1 B を接地し、ドレイン領域として使われる図中右側のビット線拡散領域 2 0 1 B に + 5 V の駆動電圧を印加する。さらに前記ゲート電極に + 1 0 V の書き込み電圧を印加することにより、前記ドレイン領域近傍においてホットエレクトロンが、チャンネルが形成されている p 型ウェル 2 0 1 P から O N O 膜 2 0 2 へと注入される。同様に、図中左側のビット線拡散領域 2 0 1 B に + 5 V の駆動電圧を印加し、右側のビット線拡散領域 2 0 1 B を接地することにより、前記 O N O 膜 2 0 2 中、前記左側のビット線拡散領域 2 0 1 B の近傍にホットエレクトロンを注入することができる。

【 0 1 1 2 】

また本実施例において書き込みは、アバランシェホットエレクトロンの注入により行うことも可能である。

【 0 1 1 3 】

一方、消去時には、図 5 4 (B) に示すように前記左右のビット線拡散領域 2

0 1 B をフローティング状態に設定し、前記ゲート電極 2 0 3 を接地し、前記 n 型ウェル 2 0 1 N に + 1 5 V の消去電圧を印加する。本実施例では p 型 S i 基板 2 0 1 中に前記 n 型ウェル 2 0 1 N が形成されているため、消去時に前記ウェル 2 0 1 N に大きな正電圧を印加することが可能になる。その結果、前記 O N O 膜 2 0 2 中に捕獲されていた電子が、F N 型のトンネル電流の形で、前記 p 型ウェル 2 0 1 P 中へと引き抜かれる。また本実施例において、消去をバンド間トンネルやアバランシェホットエレクトロンの注入により行うことも可能である。

【 0 1 1 4 】

次に、図 5 5 (A) , (B) を参照しながら、本実施例によるメモリ集積回路装置 4 0 0 の製造工程を示す。

【 0 1 1 5 】

図 5 5 (A) , (B) を参照するに、前記メモリセル領域 4 0 0 A には S i 基板 2 0 1 中に前記 n 型ウェル 2 0 1 N と p 型ウェル 2 0 1 P とが形成され、さらに前記メモリセル領域 4 0 0 A において前記 p 型ウェル 2 0 1 P の表面に、また前記周辺回路領域において前記 p 型 S i 基板 2 0 1 の表面に熱酸化膜 2 0 1 a が形成され、さらに前記熱酸化膜 2 0 1 a 上に S i N 膜 2 0 1 b が形成される。

【 0 1 1 6 】

さらに先の実施例における図 4 8 (A) , (B) ~ 図 5 2 (A) , (B) の工程を実行することにより、図 5 4 (A) , (B) に示す、メモリセル領域 4 0 0 A に n 型ウェル 2 0 1 N を有するフラッシュメモリ集積回路装置 4 0 0 が得られる。

[第 5 実施例]

以上の実施例は S O N O S 型フラッシュメモリを有するメモリ集積回路装置の製造方法に関するものであったが、本発明は S O N O S 型フラッシュメモリに限定されるものではなく、積層ゲート型フラッシュメモリを含むメモリ集積回路装置の製造にも有効である。

【 0 1 1 7 】

図 5 6 (A) ~ (C) は、メモリセル領域 5 0 0 に積層型フラッシュメモリセ

ルを有する本発明の第 5 実施例によるメモリ集積回路装置の製造方法を示す。以下の説明ではメモリセル領域 5 0 0 のみについて説明し、周辺回路領域あるいはポンピング回路領域の説明は省略する。図中、先に説明した部分には対応する参照符号を付し、説明を省略する。

【 0 1 1 8 】

本実施例では先に図 3 3 (A), (B) ~ 図 3 8 (A), (B) の工程により、図 5 6 (A) に示すように溝 2 0 1 G₁ を有する図 5 6 (A) の構造が形成され、次に図 5 6 (B) の工程において図 5 6 (A) の構造上に熱酸化処理により、熱酸化膜 5 0 2 がトンネル絶縁膜として形成される。

【 0 1 1 9 】

次に図 5 6 (C) の工程において図 5 6 (B) の構造上にポリシリコン膜 5 0 3 が前記溝 2 0 1 G₁ を充填するように堆積され、さらに図 5 7 (D) の工程において前記ポリシリコン膜 5 0 3 をエッチバックすることにより、前記溝 2 0 1 G₁ の側壁面に沿って、ポリシリコンパターン 5 0 3 A を、フローティング電極として形成する。

【 0 1 2 0 】

さらに図 5 7 (E) の工程では前記ポリシリコンパターン 5 0 3 A を自己整合前記 S i 基板 2 0 1 中に不純物元素をイオン注入することにより、ソースあるいはドレインとして作用するビット線拡散領域 2 0 1 B が前記 S i 基板 2 0 1 中に形成される。

【 0 1 2 1 】

次に図 5 7 (E) の工程において図 5 7 (D) の構造上に O N O 膜 5 0 4 が形成され、さらに図 5 7 (F) の工程において図 5 7 (E) の構造上に、ポリシリコン膜 5 0 5 A および W S i 膜 5 0 5 B を堆積し、これをパターニングすることにより、コントロール電極 5 0 5 を形成する。

【 0 1 2 2 】

本実施例においても、前記溝 2 0 1 G₁ は周辺回路領域の溝 2 0 1 G₂ と同一のマスクと使って同時に形成されるため、また前記メモリセル領域 5 0 0 中において形成されるビット線拡散領域 2 0 1 B は前記溝 2 0 1 G₁ に対して自己整合し

て形成されるため、前記メモリセル領域 5 0 0 中における積層型フラッシュメモリと周辺回路領域中に形成される周辺トランジスタとの間には、理想的な位置整合が形成される。

【 0 1 2 3 】

このように、本発明は S O N O S 型フラッシュメモリを含むメモリ集積回路装置の製造に限定されるものではなく、積層ゲート型フラッシュメモリを含むメモリ集積回路装置の製造、あるいはトレンチキャパシタを有する D R A M 集積回路装置の製造にも適用可能である。

【 0 1 2 4 】

以上、本発明を好ましい実施例について説明したが、本発明は上記の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【 0 1 2 5 】

(付記 1) 半導体基板上にメモリセル領域と周辺回路領域とを備えたメモリ集積回路装置の製造方法であって、

前記半導体基板上に、前記メモリセル領域に対応して第 1 の溝を形成する工程と、

前記半導体基板上に、前記周辺回路領域に対応して第 2 の溝を形成する工程とを含み、

前記第 1 の溝を形成する工程と前記第 2 の溝を形成する工程とは同時に実行され、

さらに前記メモリセル領域に、前記第 1 の溝を基準にメモリセルトランジスタを、前記周辺回路領域に、前記第 2 の溝を素子分離溝とした周辺回路トランジスタを形成する素子形成工程を含むことを特徴とするメモリ集積回路装置の製造方法。

【 0 1 2 6 】

(付記 2) 第 1 の溝と前記第 2 の溝を形成する工程は、同一のマスクを使って実行されることを特徴とする付記 1 記載のメモリ集積回路装置の製造方法。

【 0 1 2 7 】

(付記 3) さらに前記第 2 の溝の深さを、前記第 1 の溝の深さに対して増大させる工程を含むことを特徴とする付記 1 または 2 記載のメモリ集積回路装置の製造方法。

【 0 1 2 8 】

(付記 4) 前記素子形成工程は、前記周辺回路領域において前記第 2 の溝を素子分離絶縁パターンにより充填する工程と、前記半導体基板表面に第 1 の絶縁膜を、前記第 1 の絶縁膜が前記メモリセル領域において前記半導体基板表面および前記第 1 の溝の表面を連続して覆うように形成する工程と、前記第 1 の絶縁膜を、前記メモリセル領域を残して除去する工程と、前記半導体基板上に導電膜を、前記導電膜が前記メモリセル領域において前記第 1 の絶縁膜を覆うように、また前記周辺回路領域において前記第 2 の絶縁膜を覆うように形成する工程とを含むことを特徴とする付記 1 ～ 3 のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【 0 1 2 9 】

(付記 5) さらに前記導電膜を前記メモリセル領域、周辺回路領域において、同一のマスクを使ってパターニングし、前記メモリセル領域において第 1 のゲート電極を、前記周辺回路領域において第 2 のゲート電極を形成する工程を含むことを特徴とする付記 4 記載のメモリ集積回路装置の製造方法。

【 0 1 3 0 】

(付記 6) 前記 2 の溝を素子分離絶縁パターンにより充填する工程に先立って、前記第 2 の溝の表面に熱酸化膜を形成する工程を含むことを特徴とする付記 4 または 5 記載のメモリ集積回路装置の製造方法。

【 0 1 3 1 】

(付記 7) 前記第 1 の絶縁膜は窒化膜を含み電荷蓄積層を形成し、前記導電膜は、前記第 1 の絶縁膜に接して形成されることを特徴とする付記 1 ～ 6 のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【 0 1 3 2 】

(付記 8) さらに、前記素子分離絶縁パターンの形成工程の後、前記第 1 の絶縁膜の形成工程の前に、前記半導体基板表面に、前記メモリセル領域において

は前記第 1 の溝を除いて、また前記周辺回路領域を除いて、第 1 導電型拡散領域を形成する工程を含むことを特徴とする付記 1 ～ 7 のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【 0 1 3 3 】

(付記 9) 前記第 1 および第 2 の溝を形成する工程は、前記半導体基板上にマスク層を形成し、前記マスク層中に前記第 1 および第 2 の溝に対応した開口部を形成する工程と、前記マスク層をマスクに、前記半導体基板をエッチングして、前記開口部に対応して前記第 1 および第 2 の溝を形成する工程を含み、前記第 2 の溝を前記素子分離絶縁パターンで充填する工程は、前記マスク層上に、前記第 1 および第 2 の溝を充填するように素子分離絶縁膜を堆積し、前記マスク層上に堆積した前記素子分離絶縁膜を、前記マスク層をストッパに研磨除去する工程と、前記マスク層を除去する工程とを含み、前記第 1 導電型拡散領域を形成する工程は、前記素子分離絶縁膜のうち、前記第 1 および第 2 の溝に残留している膜パターンを自己整合マスクに、第 1 導電型不純物元素をイオン注入することにより実行されることを特徴とする付記 8 記載のメモリ集積回路装置の製造方法。

【 0 1 3 4 】

(付記 1 0) さらに前記メモリセル領域において前記半導体基板中、前記第 1 の溝底部に第 2 導電型の拡散領域を形成する工程を含むことを特徴とする付記 9 記載のメモリ集積回路装置の製造方法。

【 0 1 3 5 】

(付記 1 1) さらに、前記素子分離絶縁パターンの形成工程の後、前記第 1 の絶縁膜の形成工程前に、前記第 1 の溝の底面に第 1 導電型の拡散領域を選択的に形成する工程を含むことを特徴とする、付記 1 ～ 7 のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【 0 1 3 6 】

(付記 1 2) 前記素子分離絶縁パターンの形成工程の後、前記第 1 導電型の拡散領域の形成工程前に、前記第 1 の溝の底面に、第 2 導電型の拡散領域を選択的に形成する工程を含むことを特徴とする付記 1 1 記載のメモリ集積回路装置の製造方法。

【 0 1 3 7 】

(付記 1 3) 前記第 1 および第 2 の溝を形成する工程は、前記半導体基板上にマスク層を形成し、前記マスク層中に前記第 1 および第 2 溝に対応した開口部を形成する工程と、前記マスク層をマスクに、前記半導体基板をエッチングして、前記開口部に対応して前記第 1 および第 2 の溝を形成する工程を含み、前記第 2 の溝を前記素子分離絶縁パターンで充填する工程は、前記マスク層上に、前記第 1 および第 2 の溝を充填するように素子分離絶縁膜を堆積し、前記マスク層上に堆積した前記素子分離絶縁膜を、前記マスク層をストッパに研磨除去する工程と、前記第 1 の溝から前記素子分離絶縁膜を除去する工程とを含み、前記第 1 導電型拡散領域を形成する工程は、前記マスク層を自己整合マスクに、第 1 導電型不純物元素をイオン注入することにより実行されることを特徴とする付記 1 2 記載のメモリ集積回路装置の製造方法。

【 0 1 3 8 】

(付記 1 4) 前記第 2 導電型の拡散領域を形成する工程は、前記第 1 の溝の側壁面に対して斜めに、第 2 導電型不純物元素をイオン注入する工程を含むことを特徴とする付記 1 2 または 1 3 記載のメモリ集積回路装置の製造方法。

【 0 1 3 9 】

(付記 1 5) 前記第 1 の溝の側壁面への第 2 導電型不純物元素のイオン注入工程の後、前記側壁面に前記第 1 導電型の不純物元素を斜めにイオン注入する工程をさらに含むことを特徴とする付記 1 2 ～ 1 4 のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【 0 1 4 0 】

(付記 1 6) 前記メモリ集積回路装置は、前記半導体基板上にさらにポンピング回路領域を備え、前記半導体基板上に前記ポンピング回路領域に対応して第 3 の溝を、前記第 1 の溝を形成する工程および前記第 2 の溝を形成する工程と同時に、同一のマスクを使って形成する工程を含み、さらに前記ポンピング回路領域中、前記第 3 の溝にポンピングキャパシタを形成する工程を含むことを特徴とする付記 1 ～ 1 5 のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【 0 1 4 1 】

(付記 1 7) さらに、前記第 1 の絶縁膜形成工程の後、前記導電膜の形成工程の前に、前記第 1 の絶縁膜を覆うように、別の導電膜を堆積する工程と、前記別の導電膜をエッチバックして、前記第 1 の溝の側壁面に、前記別の導電膜よりなる側壁絶縁膜を、フローティングゲート電極として形成する工程と、前記側壁絶縁膜を覆うように、別の絶縁膜を堆積する工程とを含み、前記導電膜は前記別の絶縁膜に接して形成されることを特徴とする付記 1 ～ 6 のうち、いずれか一項記載のメモリ集積回路装置の製造方法。

【 0 1 4 2 】

【発明の効果】

本発明によれば、メモリセル領域に形成される素子と周辺回路領域に形成される素子が、前記第 1 および第 2 の溝を同時に形成することにより理想的な位置関係で形成され、メモリセル領域のマスクと周辺回路領域のマスクを別々に形成し、これらを位置合わせする必要がなくなる。

【 0 1 4 3 】

また本発明によれば、前記メモリセル領域に第 1 の絶縁膜として電荷蓄積絶縁膜あるいはトンネル絶縁膜を形成した後、前記周辺回路領域から前記第 1 の絶縁膜を除去し、改めて第 2 の絶縁膜をゲート絶縁膜として形成するため、前記周辺回路領域におけるゲート絶縁膜あるいはキャパシタ絶縁膜の膜質の劣化を回避することが可能になる。

【図面の簡単な説明】

【図 1】

従来の SONOS 型フラッシュメモリの回路構成を示す図である。

【図 2】

図 1 のフラッシュメモリの基本構成を示す図である。

【図 3】

(A) , (B) は図 1 の不揮発性半導体メモリにおける書き込みおよび消去動作を説明する図である。

【図 4】

(A) , (B) は、図 1 の不揮発性半導体メモリにおける読み出し動作を説明

する図である。

【図 5】

従来の SONOS 型フラッシュメモリを含むメモリ集積回路装置の構成を示す平面図である。

【図 6】

(A), (B) は、図 5 のフラッシュメモリ集積回路装置の断面構造を示す図である。

【図 7】

(A), (B) は、別の従来の SONOS 型フラッシュメモリ集積回路装置の構成を示す図である。

【図 8】

図 7 (A), (B) の SONOS 型フラッシュメモリ集積回路装置の製造工程の一部を示す図である。

【図 9】

(A), (B) は、本発明第 1 実施例の製造方法により製造される SONOS 型フラッシュメモリ集積回路装置の構成を示す図である。

【図 10】

(C) は、本発明第 1 実施例の製造方法により製造される SONOS 型フラッシュメモリ集積回路装置の構成を示す別の図である。

【図 11】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 1）である。

【図 12】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 2）である。

【図 13】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 3）である。

【図 14】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 4) である。

【図 1 5】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 5) である。

【図 1 6】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 6) である。

【図 1 7】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 7) である。

【図 1 8】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 8) である。

【図 1 9】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 9) である。

【図 2 0】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 0) である。

【図 2 1】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 1) である。

【図 2 2】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 2) である。

【図 2 3】

(C) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 3) である。

【図 2 4】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 4) である。

【図 2 5】

(C) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 5) である。

【図 2 6】

(A), (B) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 6) である。

【図 2 7】

(C) は、本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 7) である。

【図 2 8】

本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 8) である。

【図 2 9】

本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 9) である。

【図 3 0】

本発明第 1 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 2 0) である。

【図 3 1】

(A), (B) は、本発明第 2 実施例による製造方法により製造される SONOS 型フラッシュメモリ集積回路装置の構成を示す図である。

【図 3 2】

(A), (B) は、図 3 1 (A), (B) の SONOS 型フラッシュメモリ集積回路装置の動作原理を説明する図である。

【図 3 3】

(A), (B) は、本発明第 2 実施例による SONOS 型フラッシュメモリ集

積回路装置の製造工程を示す図（その 1）である。

【図 3 4】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 2）である。

【図 3 5】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 3）である。

【図 3 6】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 4）である。

【図 3 7】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 5）である。

【図 3 8】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 6）である。

【図 3 9】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 7）である。

【図 4 0】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 8）である。

【図 4 1】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 9）である。

【図 4 2】

（A），（B）は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図（その 10）である。

【図 4 3】

(A), (B) は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 1) である。

【図 4 4】

(A), (B) は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 2) である。

【図 4 5】

(C) は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 3) である。

【図 4 6】

(A), (B) は、本発明第 2 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1 4) である。

【図 4 7】

(A), (B) は、本発明第 3 実施例による製造方法により製造される SONOS 型フラッシュメモリ集積回路装置の構成を示す図である。

【図 4 8】

(A), (B) は、本発明第 3 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 1) である。

【図 4 9】

(A), (B) は、本発明第 3 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 2) である。

【図 5 0】

(A), (B) は、本発明第 3 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 3) である。

【図 5 1】

(A), (B) は、本発明第 3 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 4) である。

【図 5 2】

(A), (B) は、本発明第 3 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図 (その 5) である。

【図 5 3】

(A), (B) は、本発明第 4 実施例による製造方法により製造される SONOS 型フラッシュメモリ集積回路装置の構成を示す図である。

【図 5 4】

(A), (B) は、本発明第 4 実施例による SONOS 型フラッシュメモリの動作を説明する図である。

【図 5 5】

(A), (B) は、本発明第 4 実施例による SONOS 型フラッシュメモリ集積回路装置の製造工程を示す図である。

【図 5 6】

(A) ~ (C) は、本発明第 5 実施例による積層ゲート型フラッシュメモリ集積回路装置の製造工程を示す図（その 1）である。

【図 5 7】

(D) ~ (F) は、本発明第 5 実施例による積層ゲート型フラッシュメモリ集積回路装置の製造工程を示す図（その 2）である。

【符号の説明】

21, 41, 61, 101, 201 基板
21A, 21B, 61A, 101B, 201B ビット線拡散領域
22, 42, 62, 102, 202 ONO 膜
23, 43, 63, 103, 105, 203, 205 ゲート電極
61G, 101G₁, 101G₂, 101G₃, 201G₁, 201G₂ 溝
100A, 200A, 300A, 400A, 500A メモリセル領域
100B, 200B, 300B, 400B 周辺回路領域
100C ポンピング回路領域
101S 素子分離絶縁膜
101t 熱酸化膜
103A, 505A ポリシリコン膜
103B, 505B シリサイド膜
104, 204 ゲート酸化膜

1 0 6 熱酸化膜

1 0 7 キャパシタ電極

5 0 2 トンネル絶縁膜

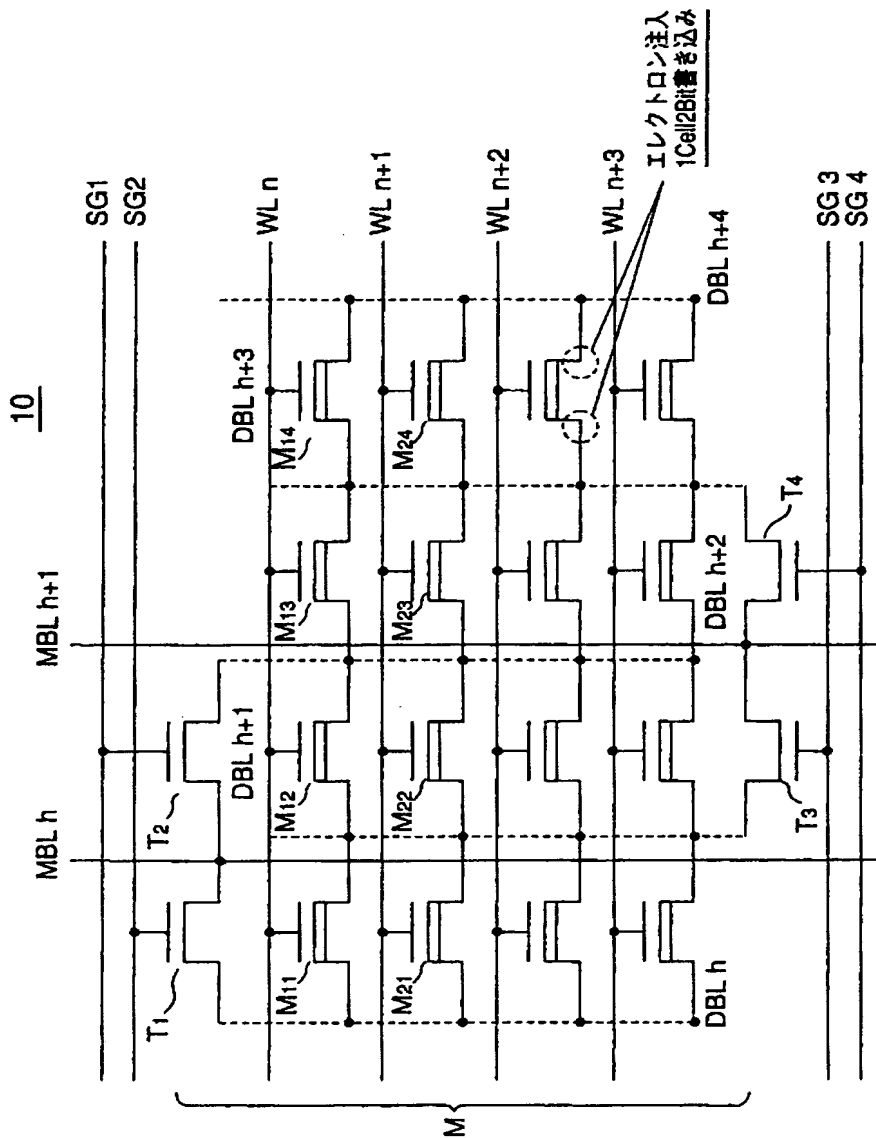
5 0 3 A フローティングゲート電極

5 0 4 O N O 層間絶縁膜

【書類名】 図面

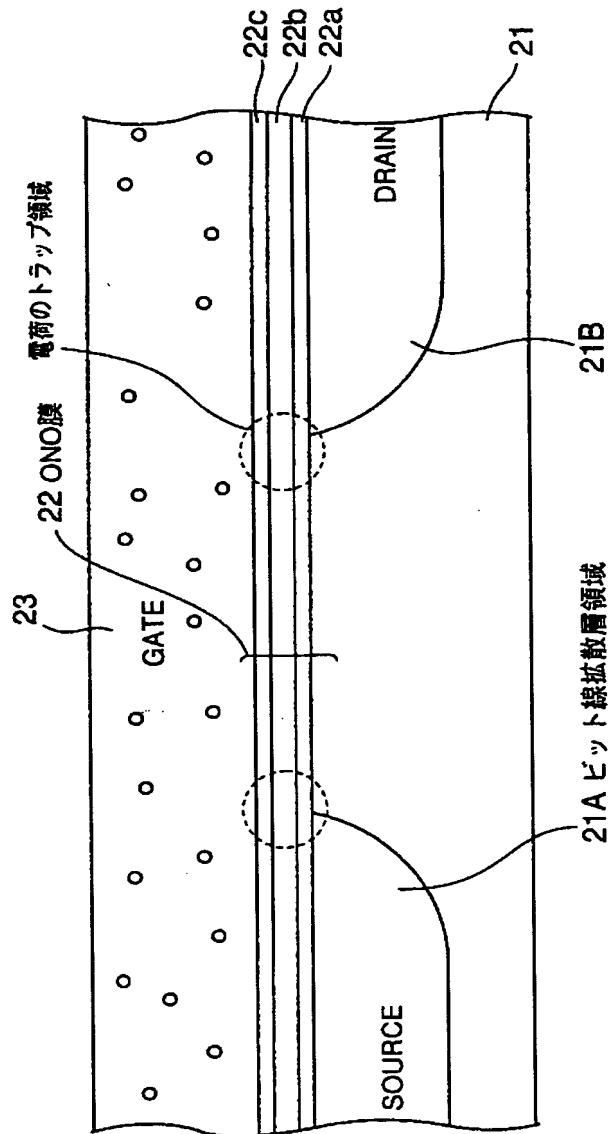
【図 1】

従来のSONOS型フラッシュメモリの回路構成を示す図



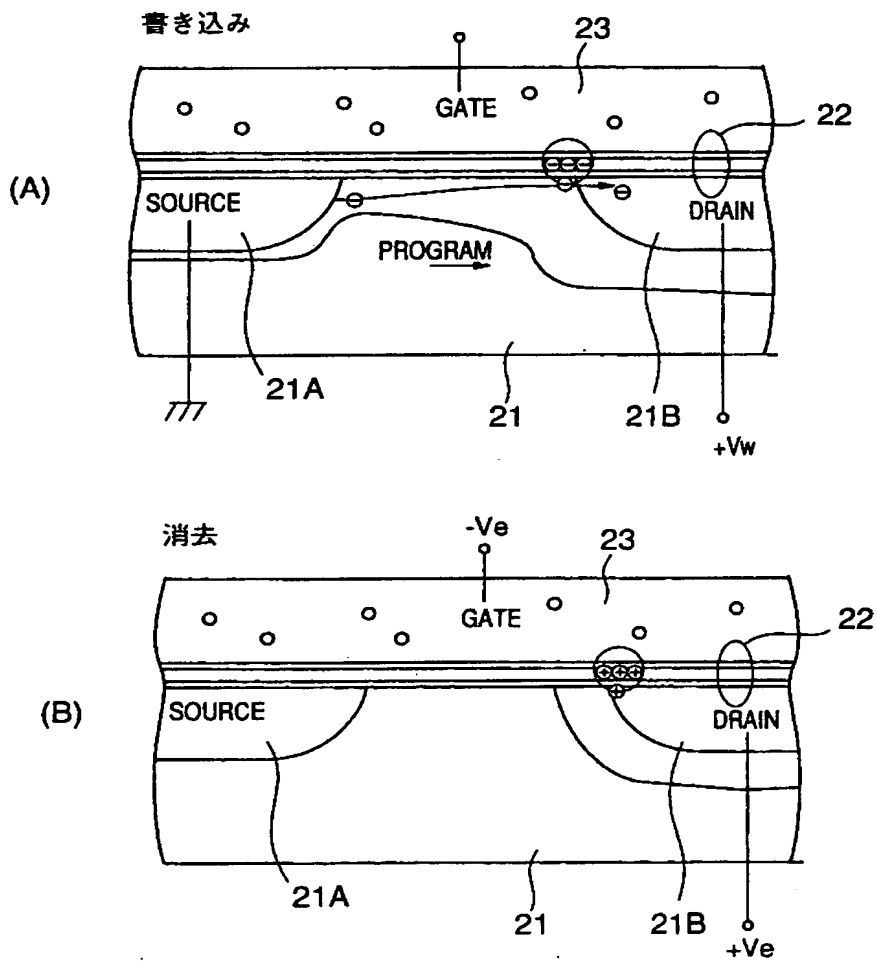
【図 2】

図1のフラッシュメモリの基本構成を示す図



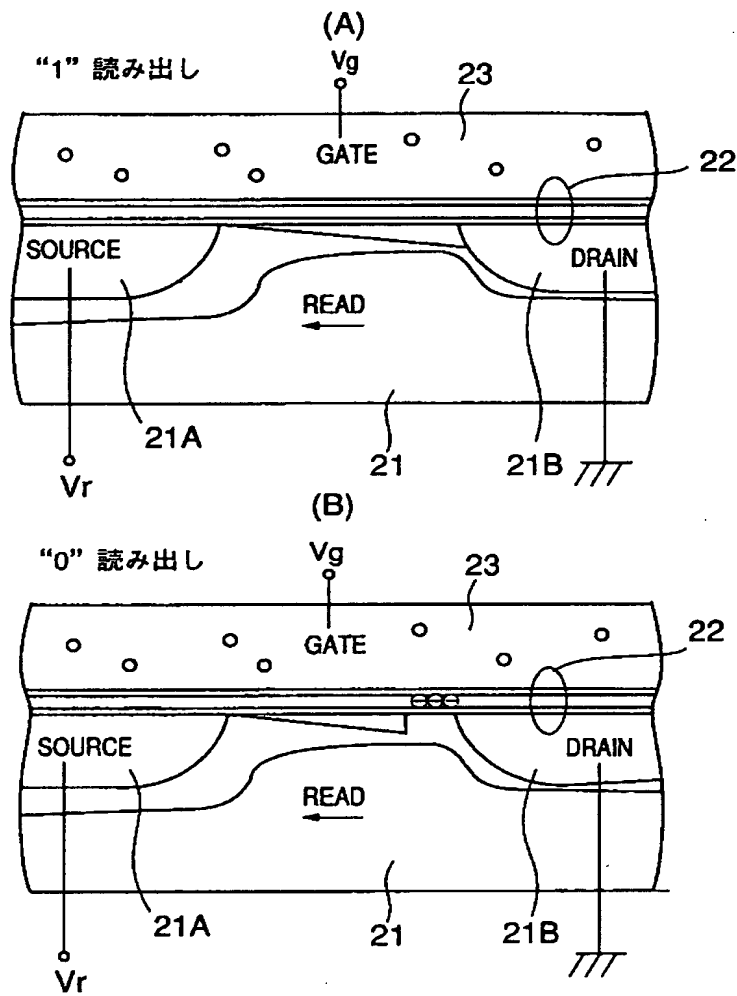
【図 3】

(A), (B)は図1の不揮発性半導体メモリにおける
書き込みおよび消去動作を説明する図



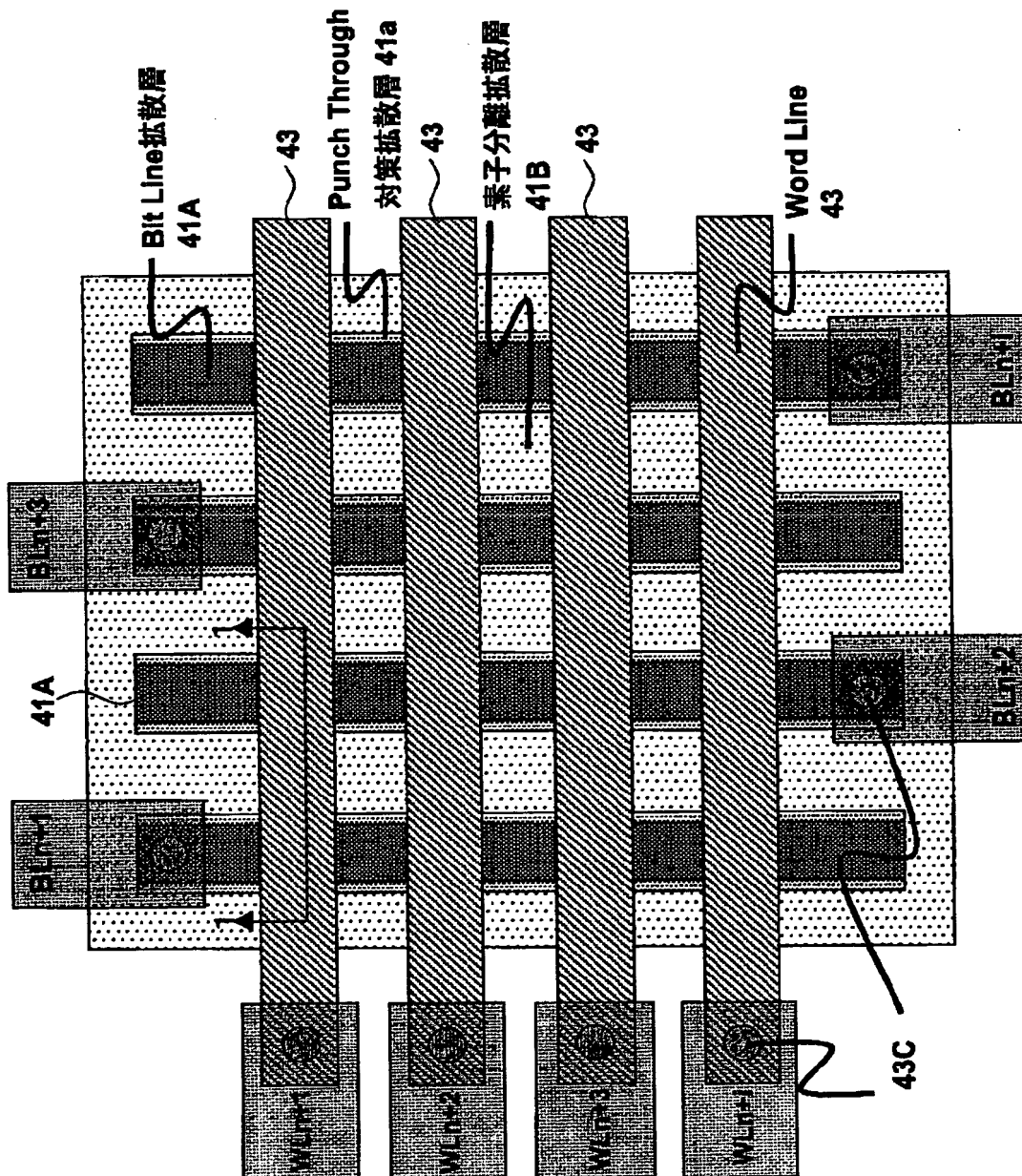
【図 4】

(A), (B)は、図1の不揮発性半導体メモリにおける読み出し動作を説明する図



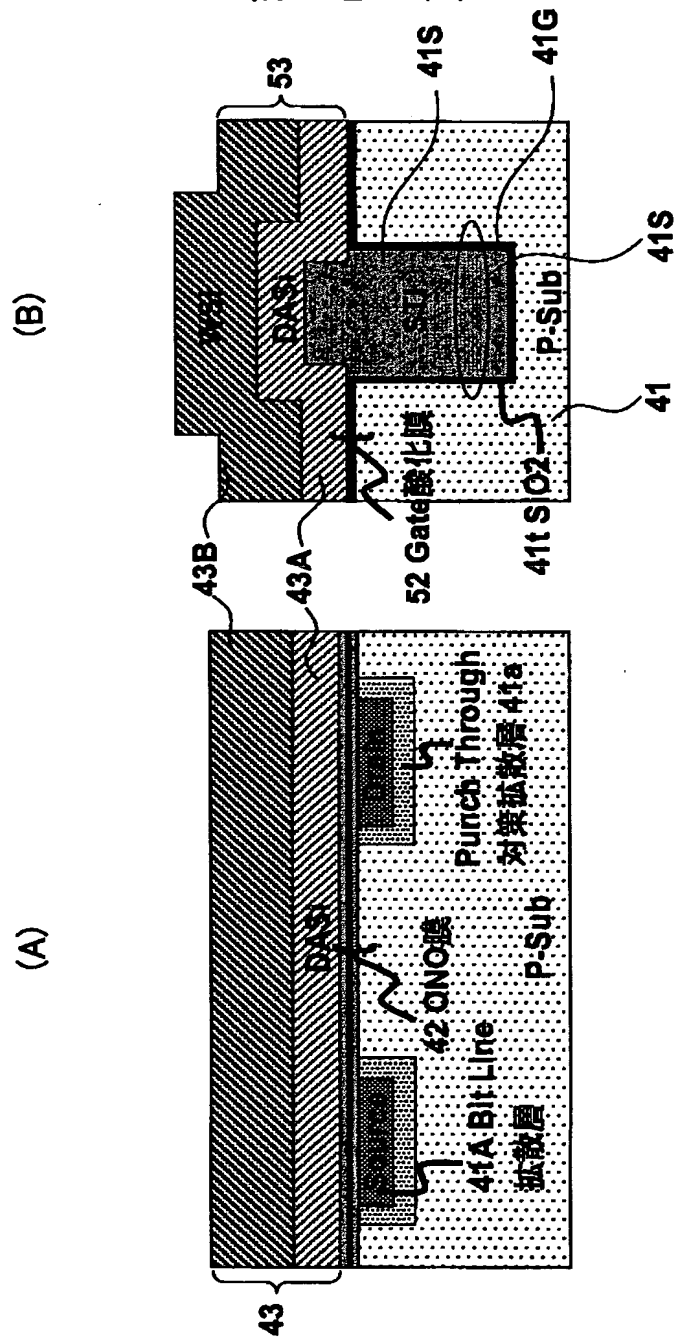
【図 5】

従来のSONOS型フラッシュメモリを含む
メモリ集積回路装置の構成を示す平面図



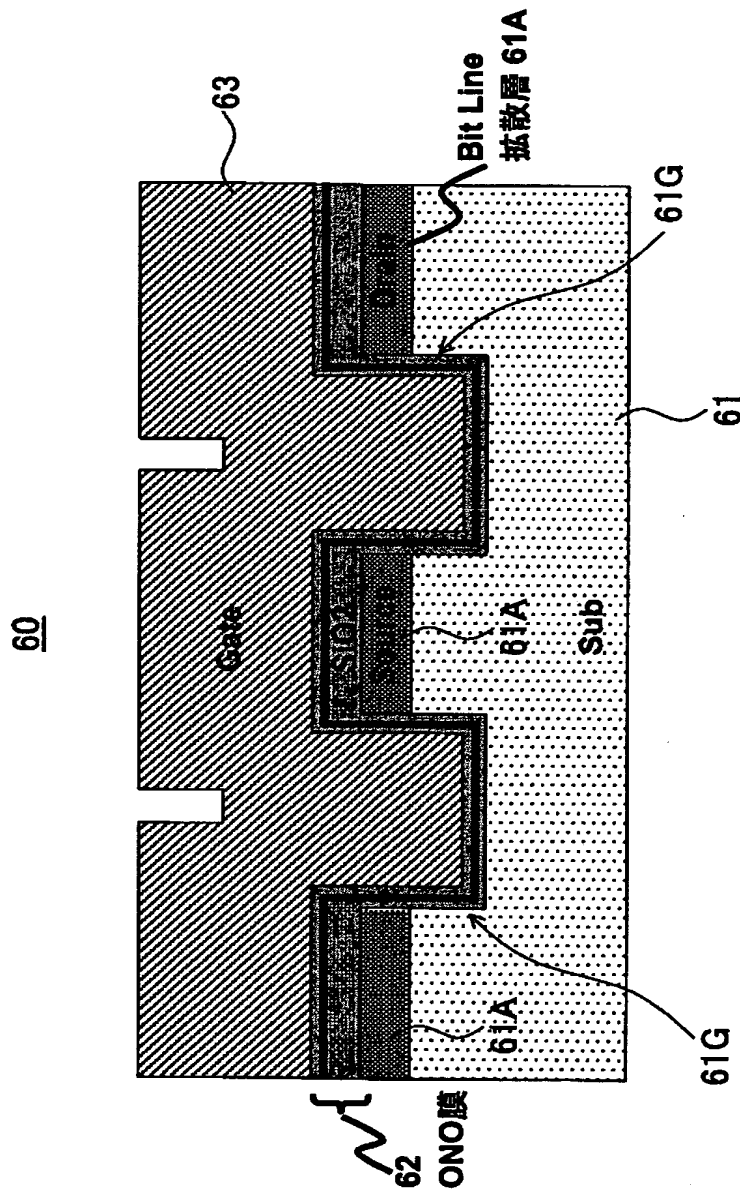
【図 6】

(A), (B)は、図5のフラッシュメモリ集積回路装置の断面構造を示す図



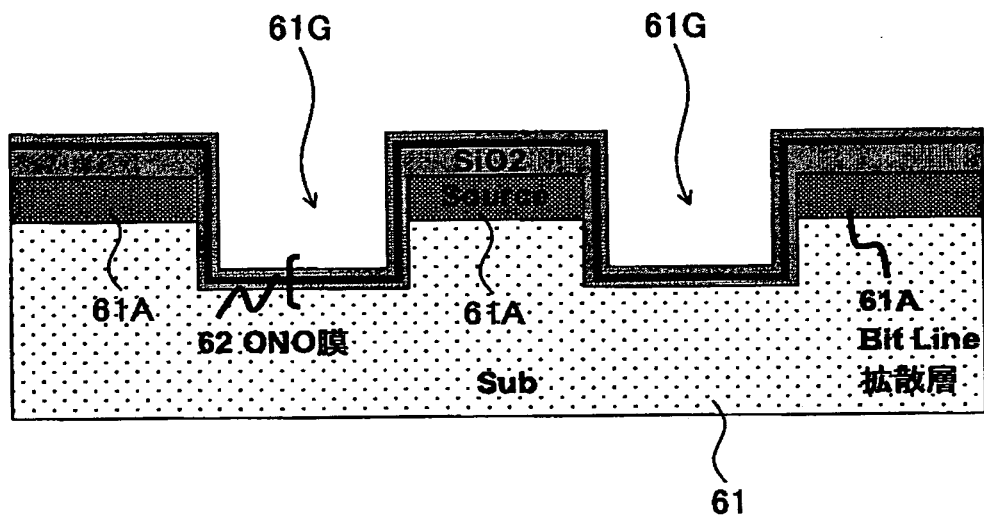
【図 7】

(A), (B)は、別の従来のSONOS型フラッシュメモリ
集積回路装置の構成を示す図



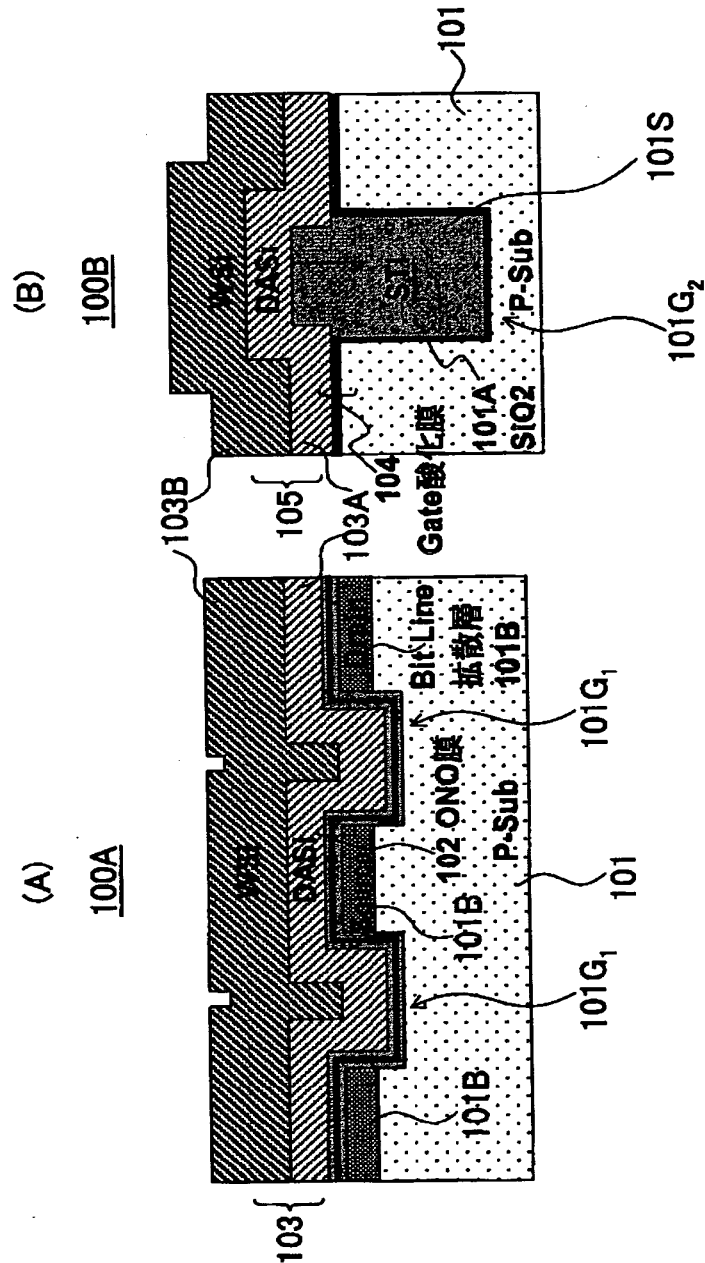
【図 8】

図7(A), (B)のSONOS型フラッシュメモリ集積回路装置の
製造工程の一部を示す図



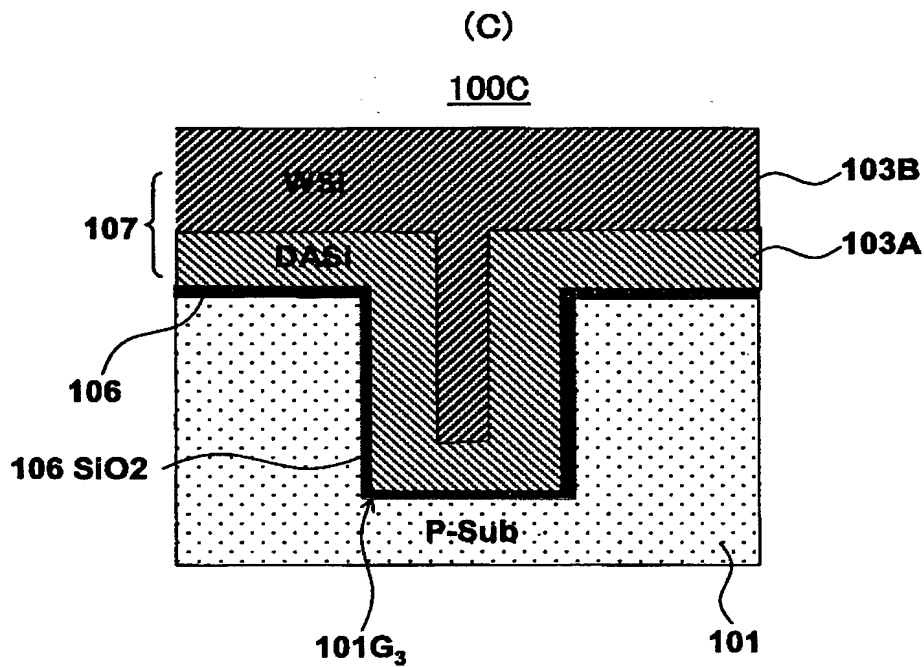
【図9】

(A)、(B)は、本発明第1実施例の製造方法により製造されるSONOS型フラッシュメモリ集積回路装置の構成を示す図



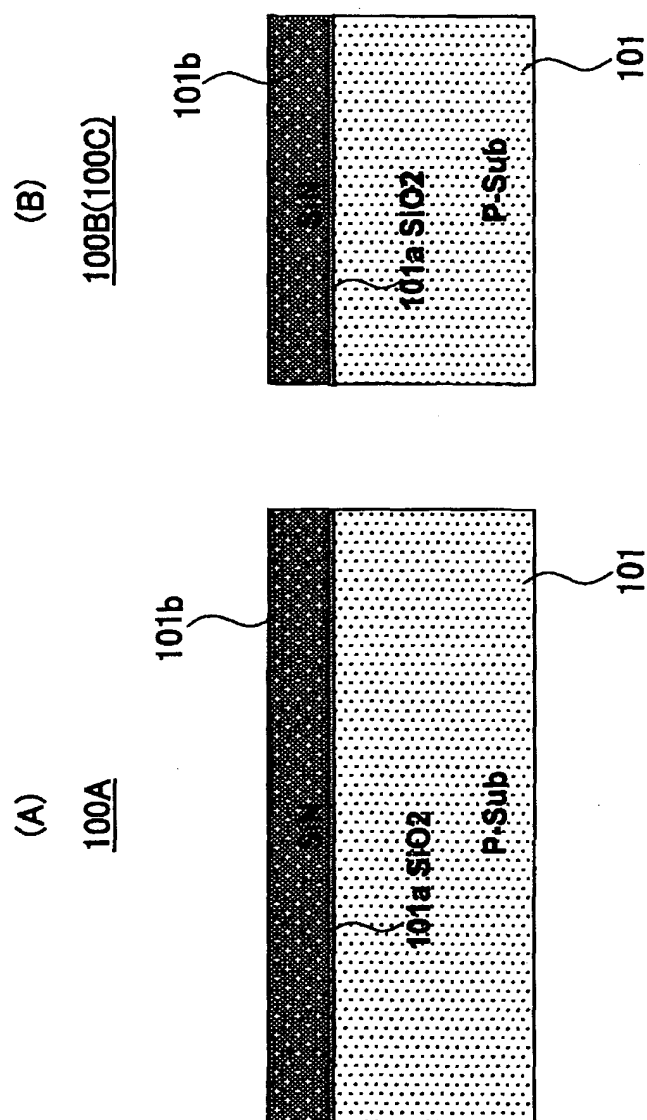
【図 1 0】

(C)は本発明第1実施例の製造方法により
製造されるSONOS型フラッシュメモリ
集積回路装置の構成を示す別の図



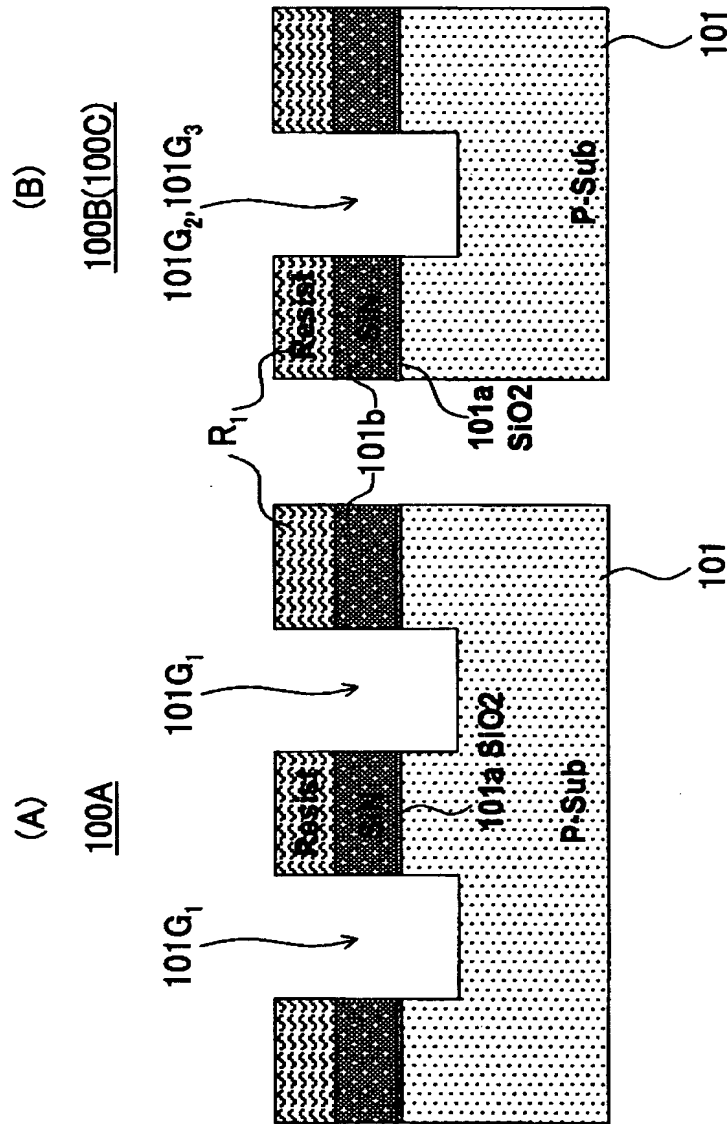
【図 1 1】

(A), (B)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その1)



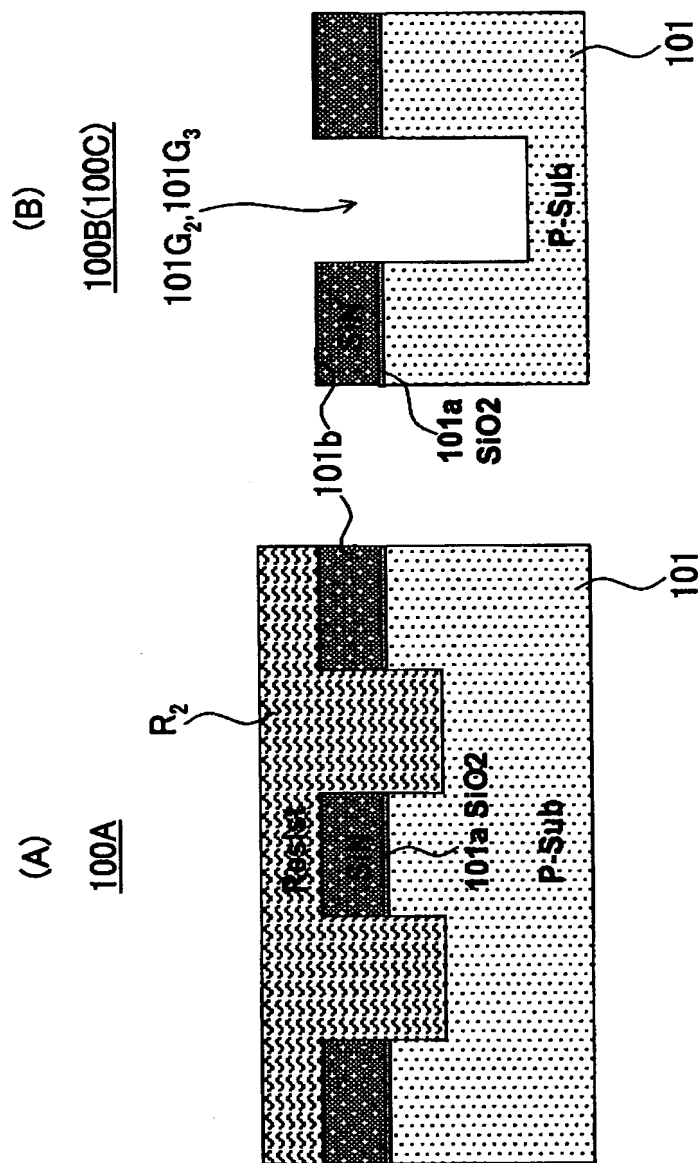
【図 12】

(A), (B)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その2)



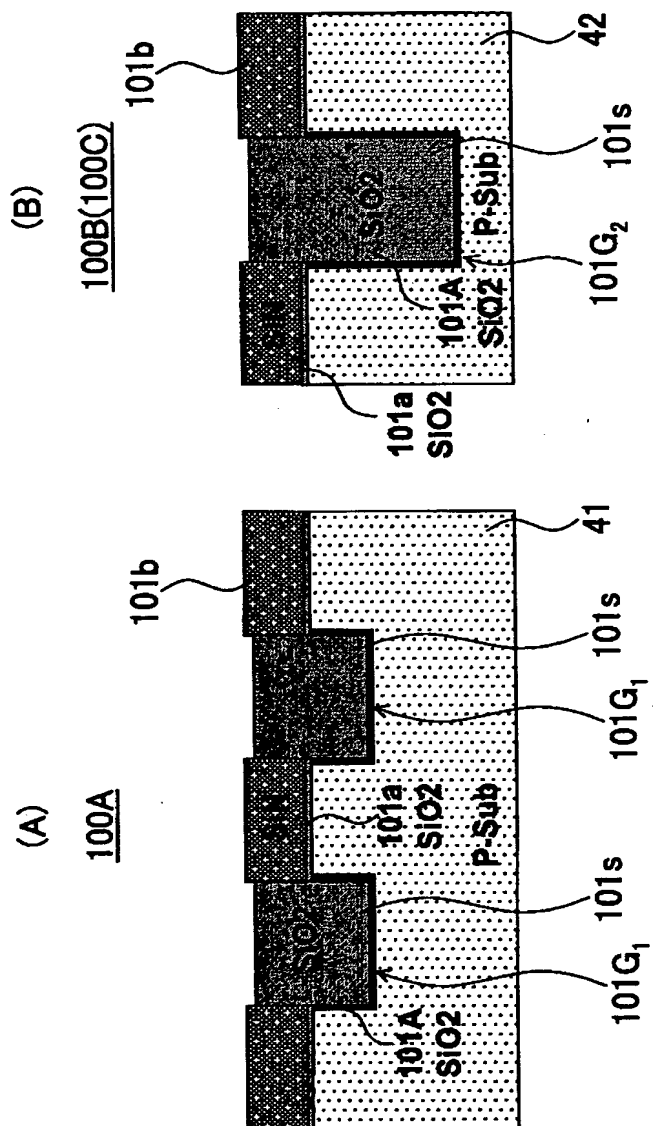
【図 1 3】

(A), (B)は、本発明第1実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その3)



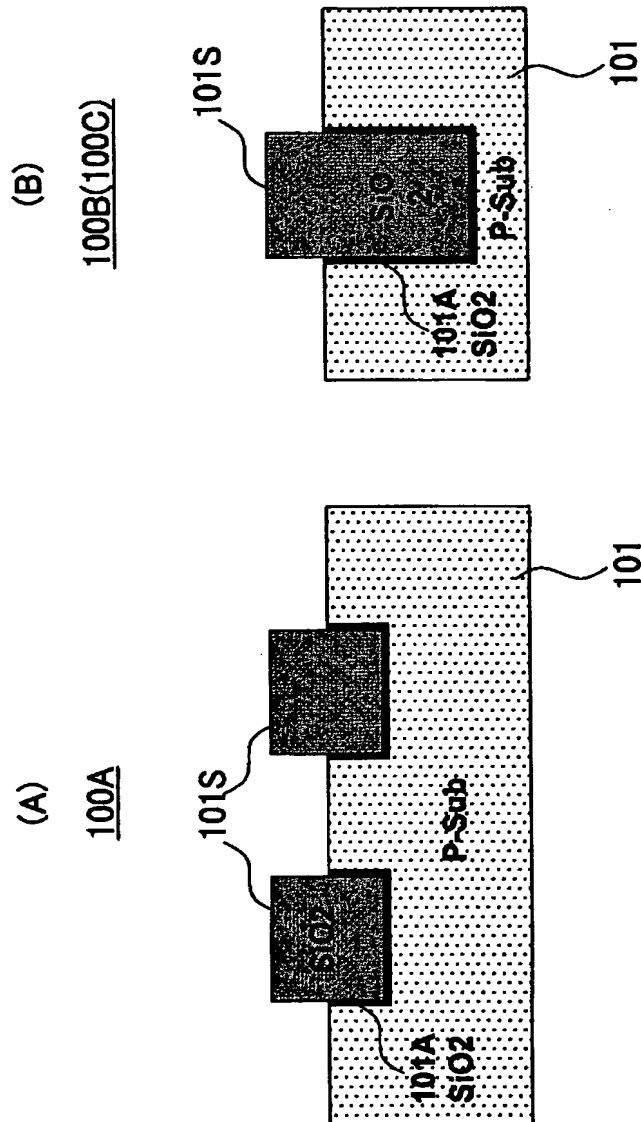
【図 14】

(A), (B)は、本発明第1実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その4)



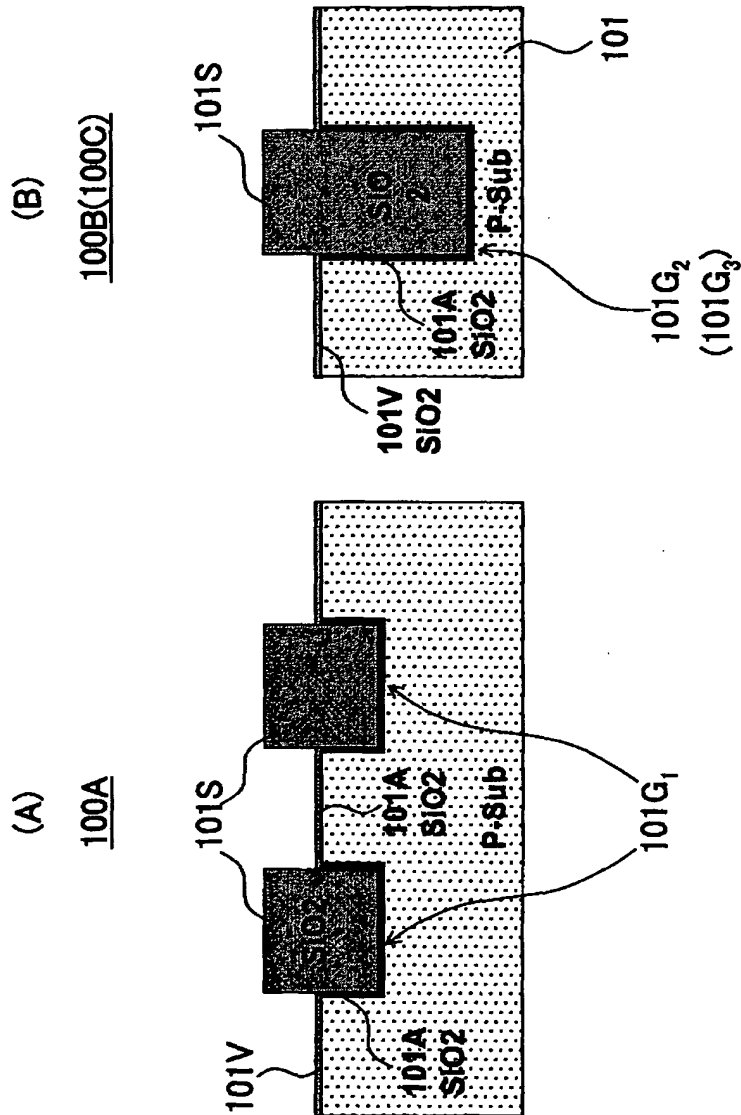
【図 1 5】

(A), (B)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その5)



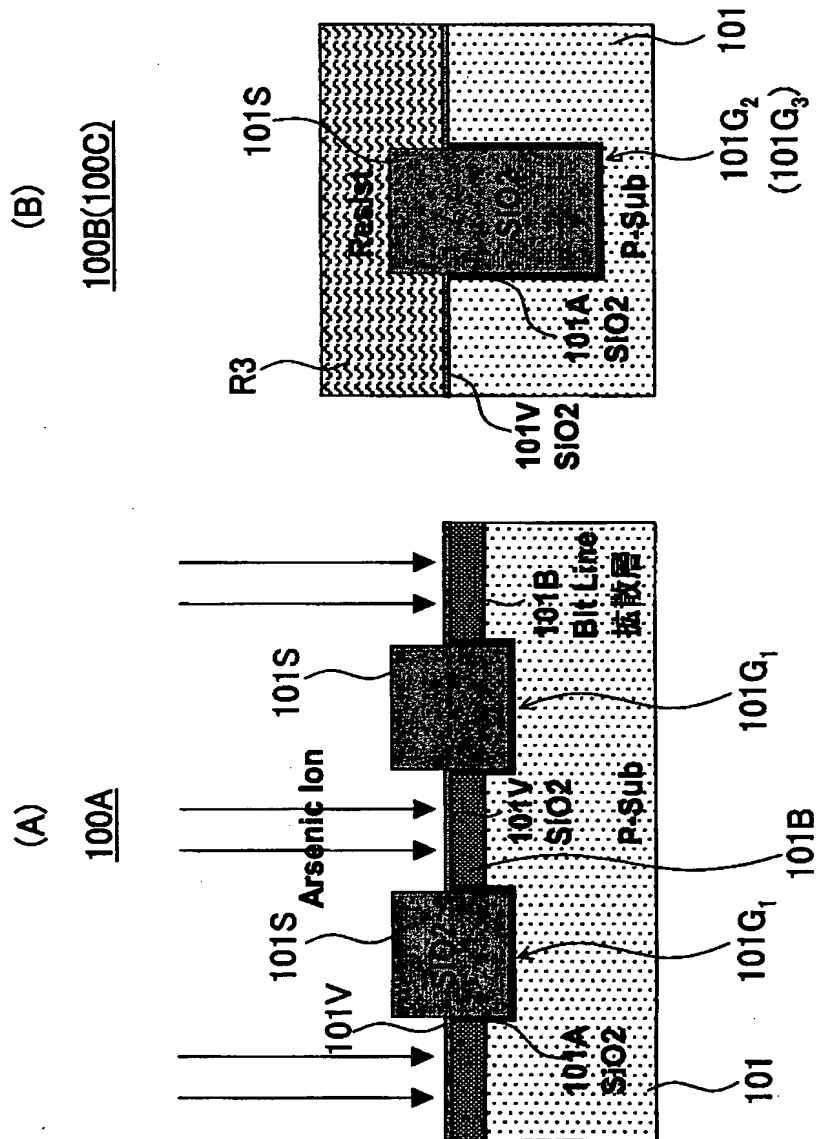
【図 1 6】

(A), (B)は、本発明第1実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その6)



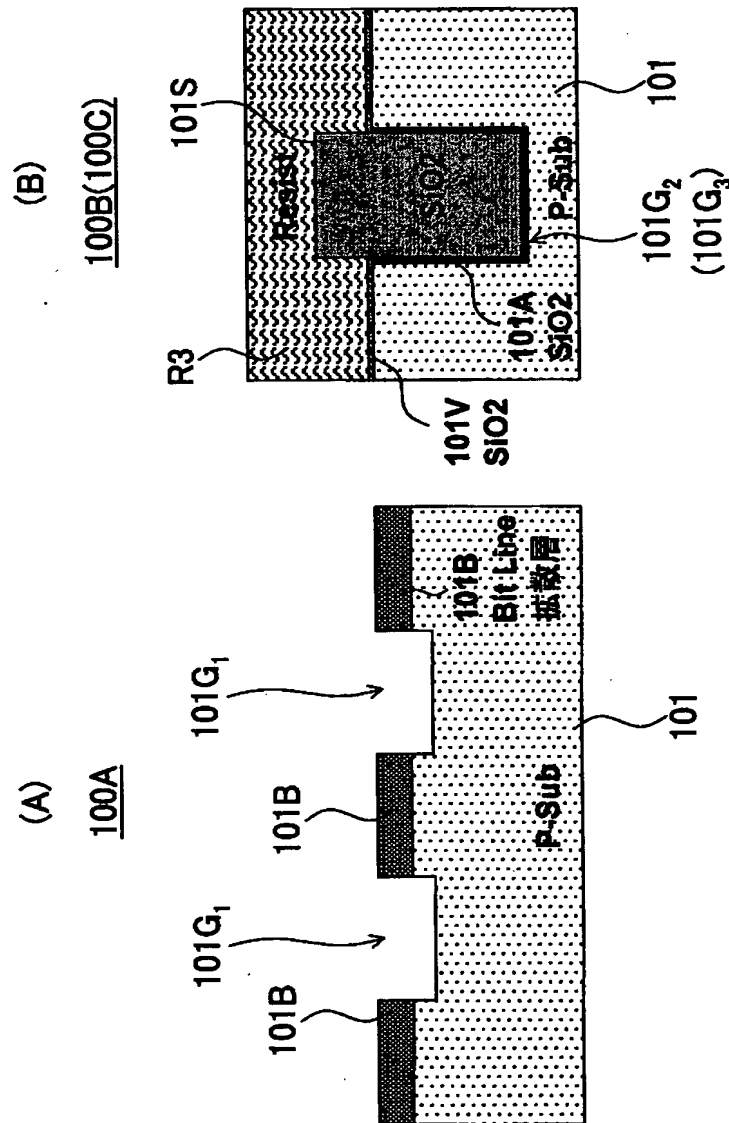
【図 17】

(A), (B)は、本発明第1実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その7)



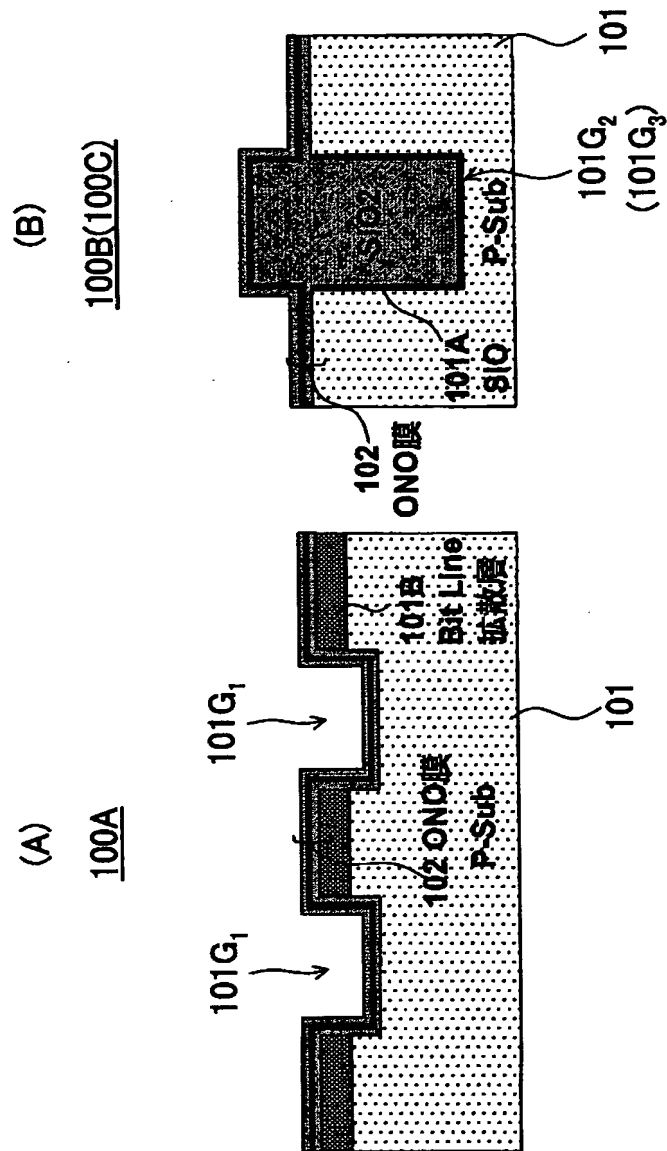
【図 1 8】

(A), (B)は、本発明第1実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その8)



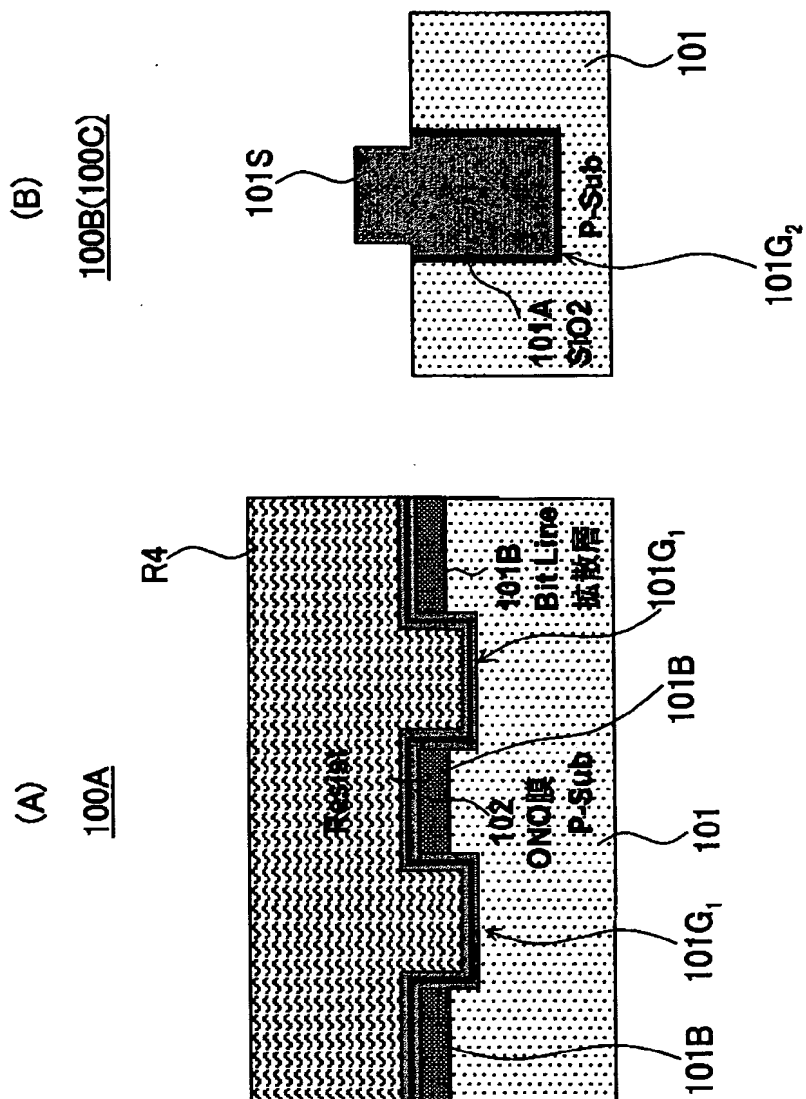
【図 1 9】

(A), (B)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その9)



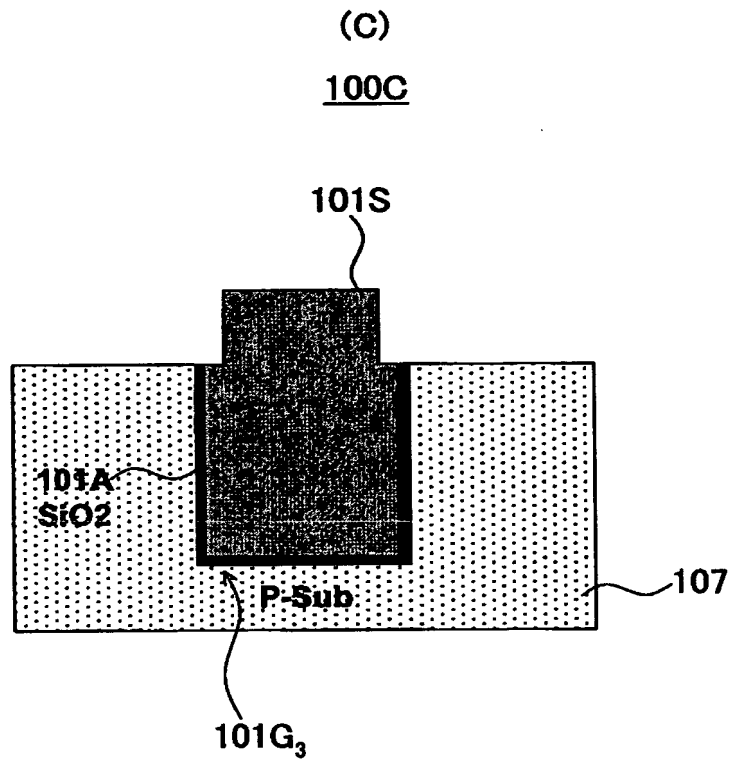
【図 2 0】

(A), (B)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その10)



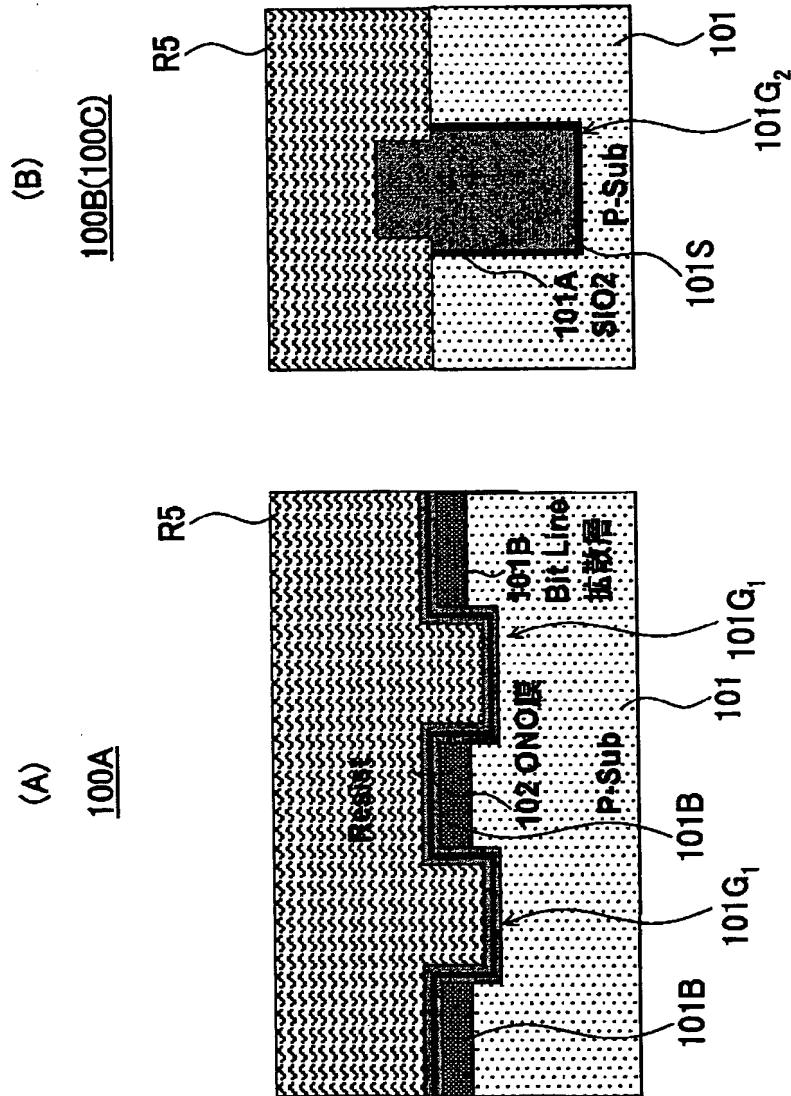
【図 2 1】

(C)は本発明第1実施例によるSONOS型フラッシュメモリ
集積回路装置の製造工程を示す図(その11)



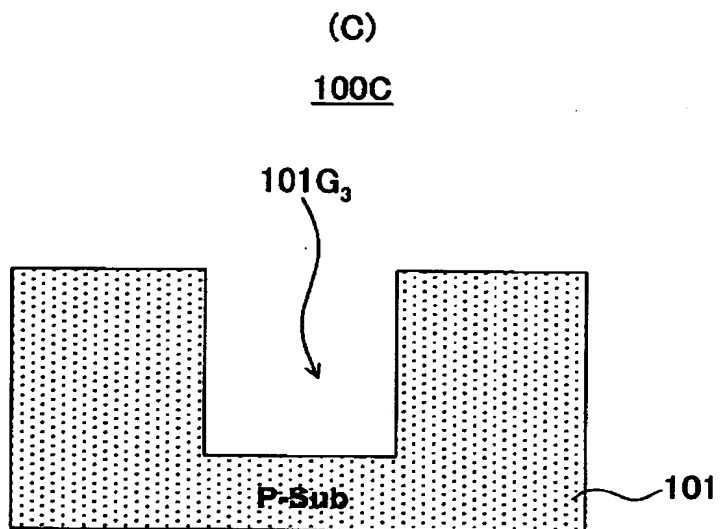
【図 2 2】

(A), (B)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その12)



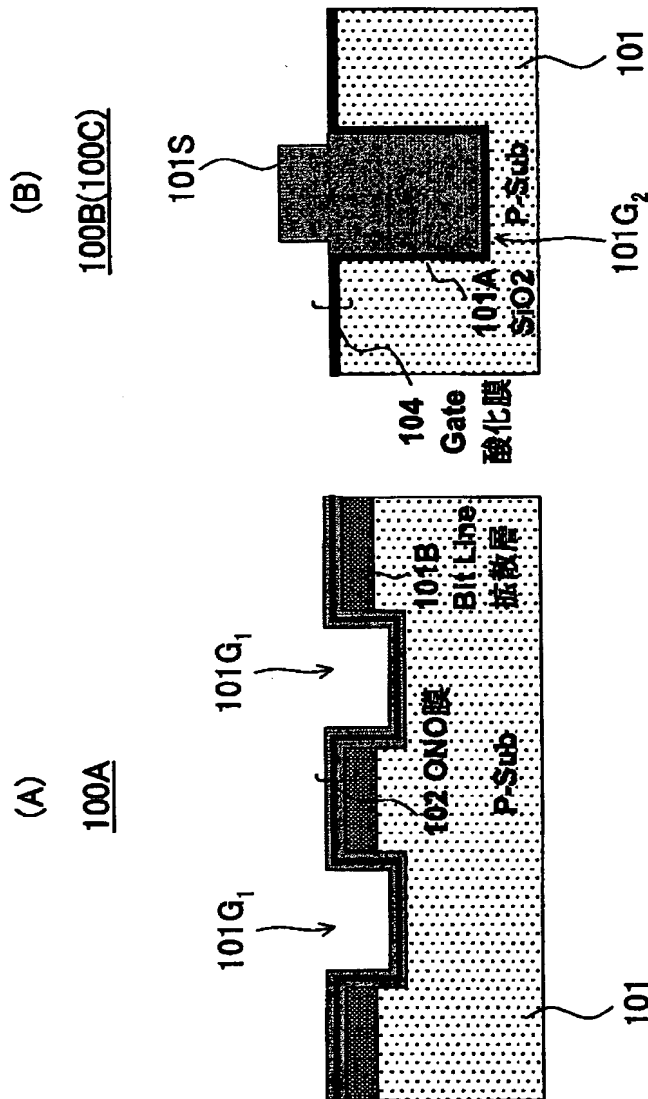
【図 2 3】

(C)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その13)



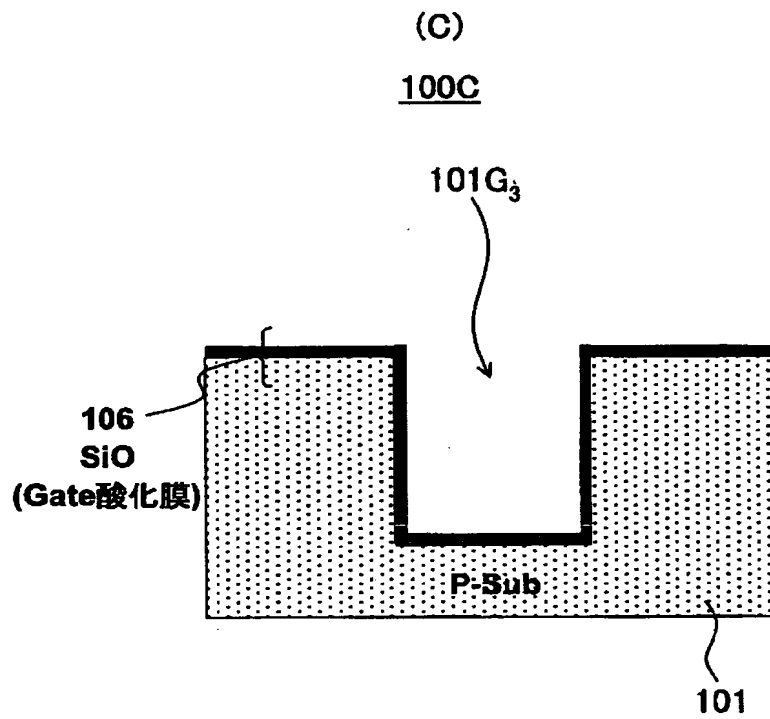
【図 24】

(A), (B)は、本発明第1実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その14)



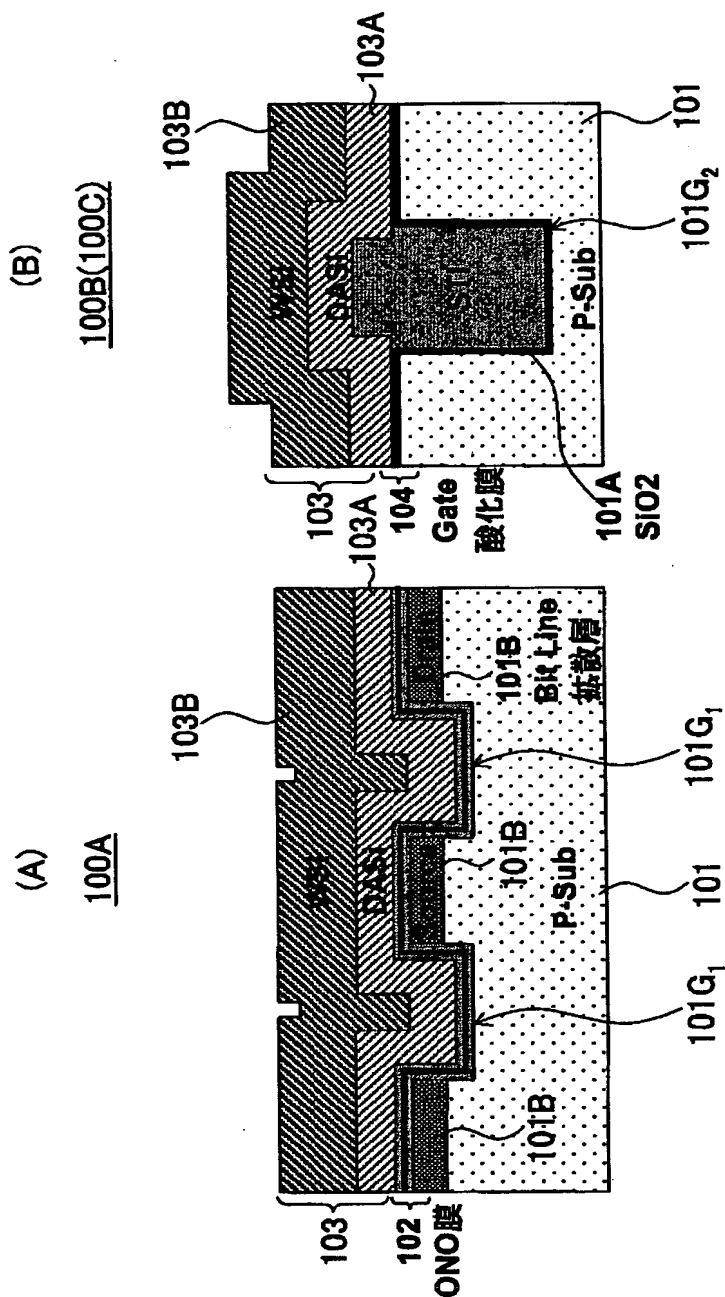
【図 2 5】

(C)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その15)



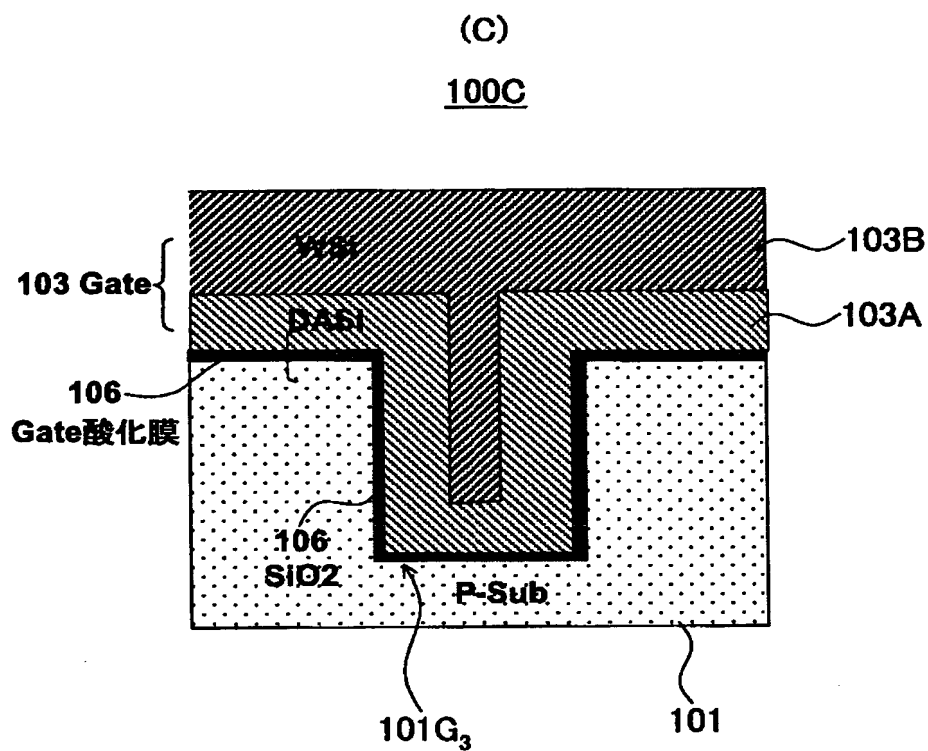
【图 2 6】

(A), (B)は、本発明第1実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その16)



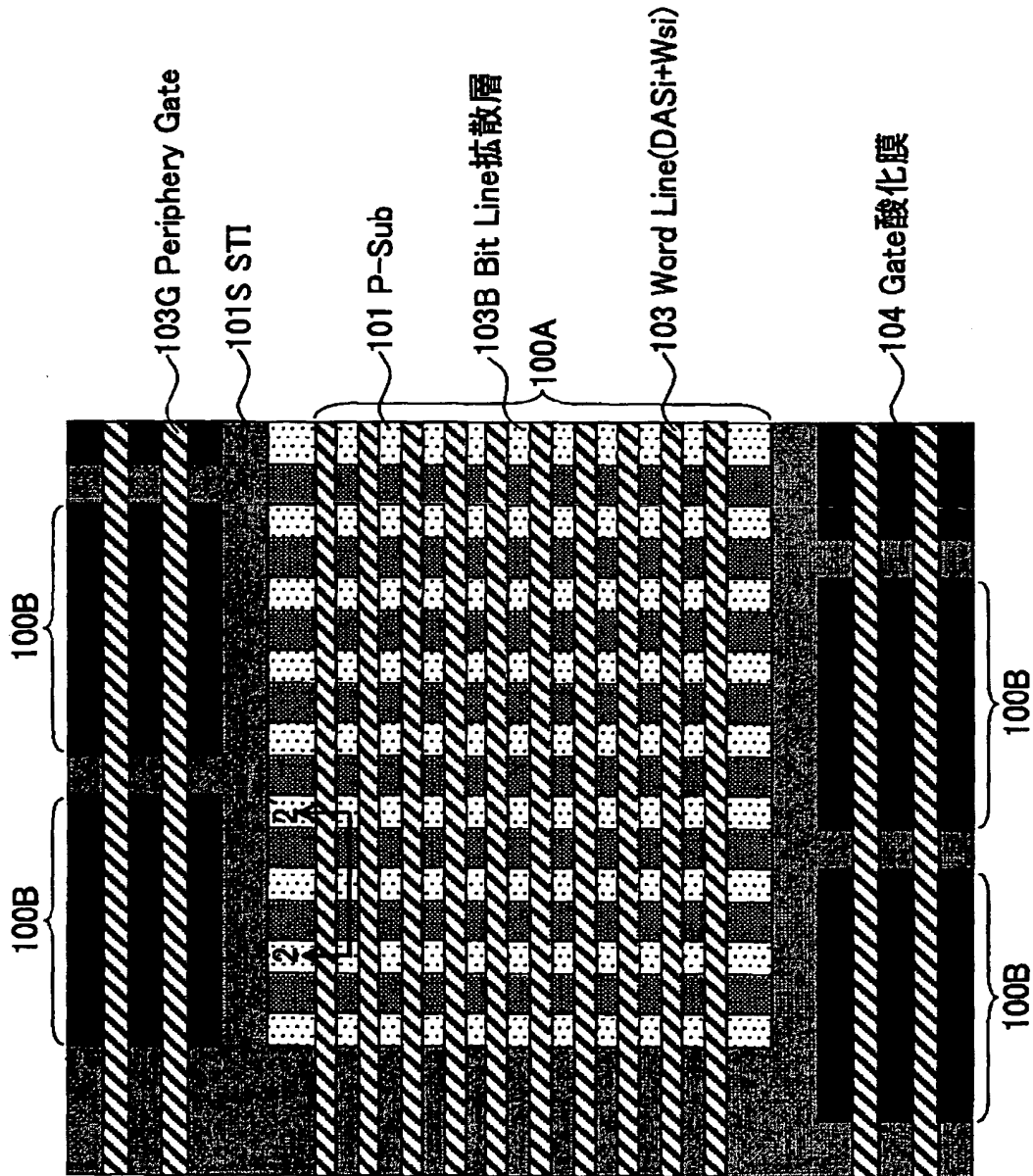
【図 2 7】

(C)は、本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その17)



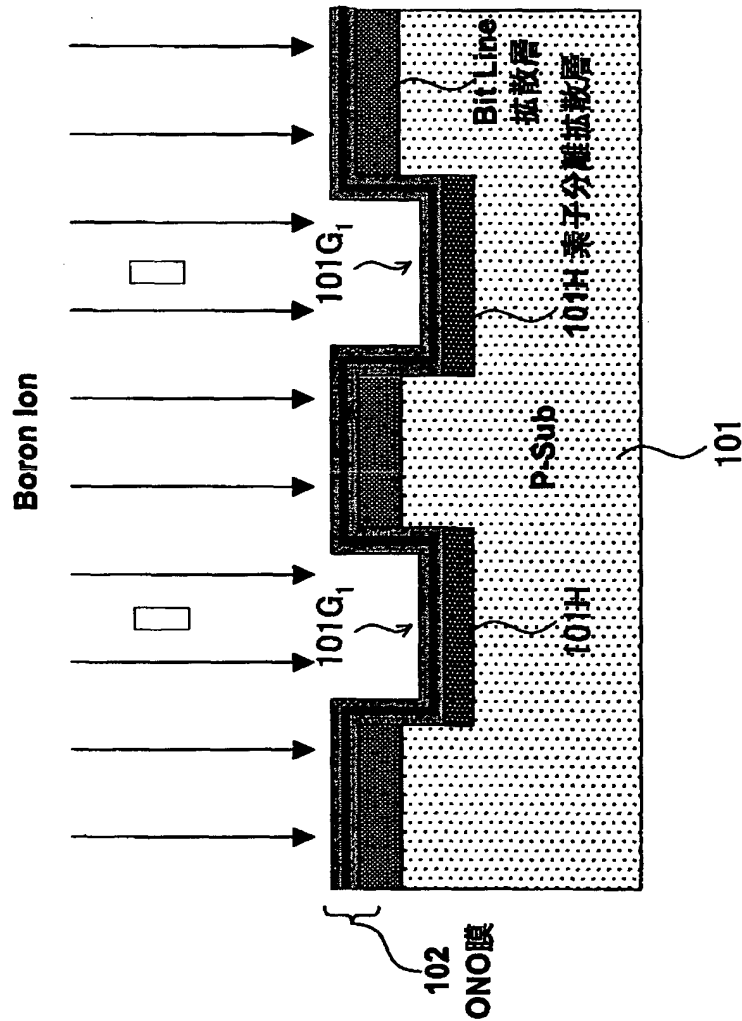
【図 28】

本発明第1実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その18)



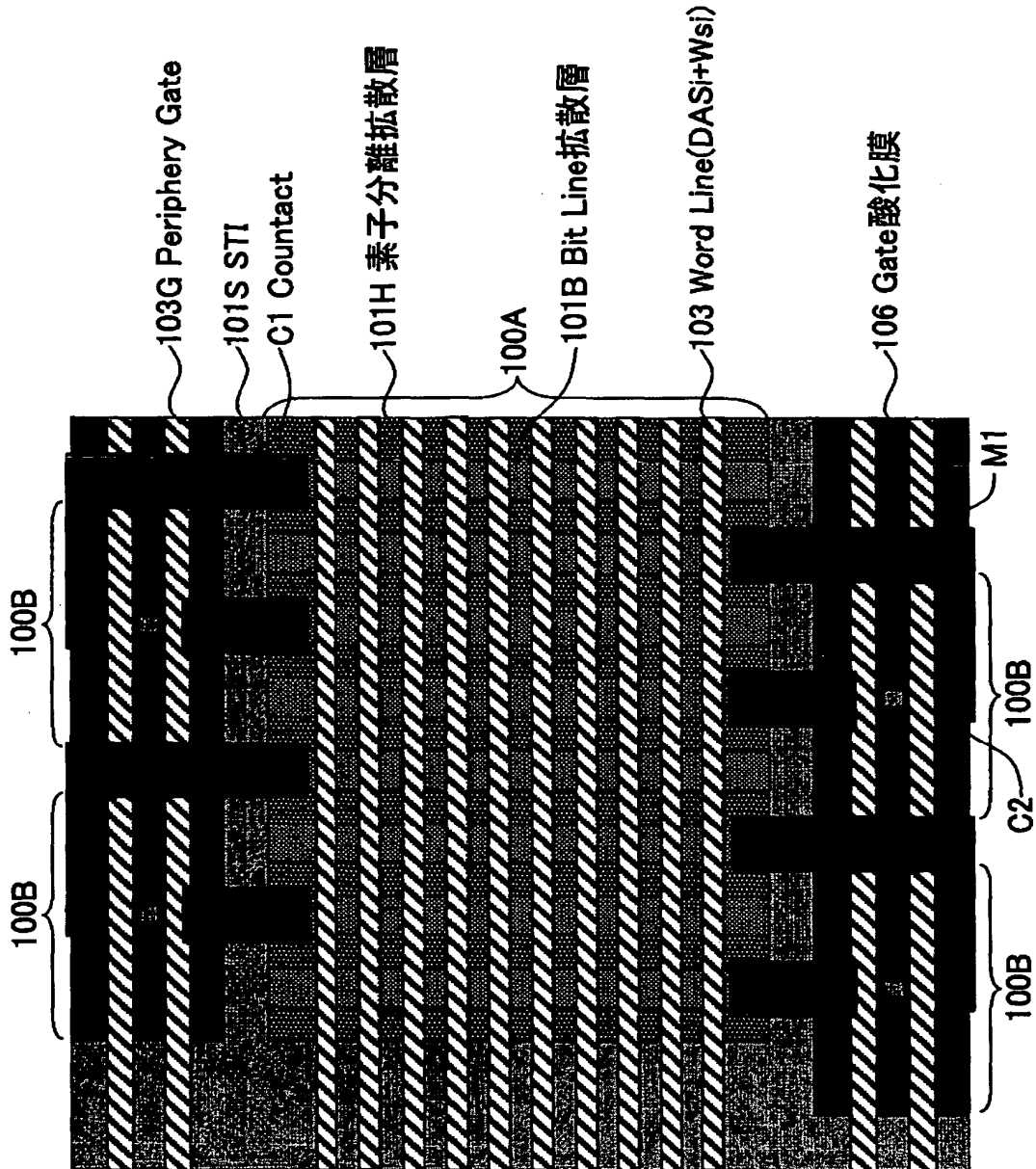
【图 29】

本発明第1実施例によるSONOS型フラッシュメモリ
集積回路装置の製造工程を示す図(その19)



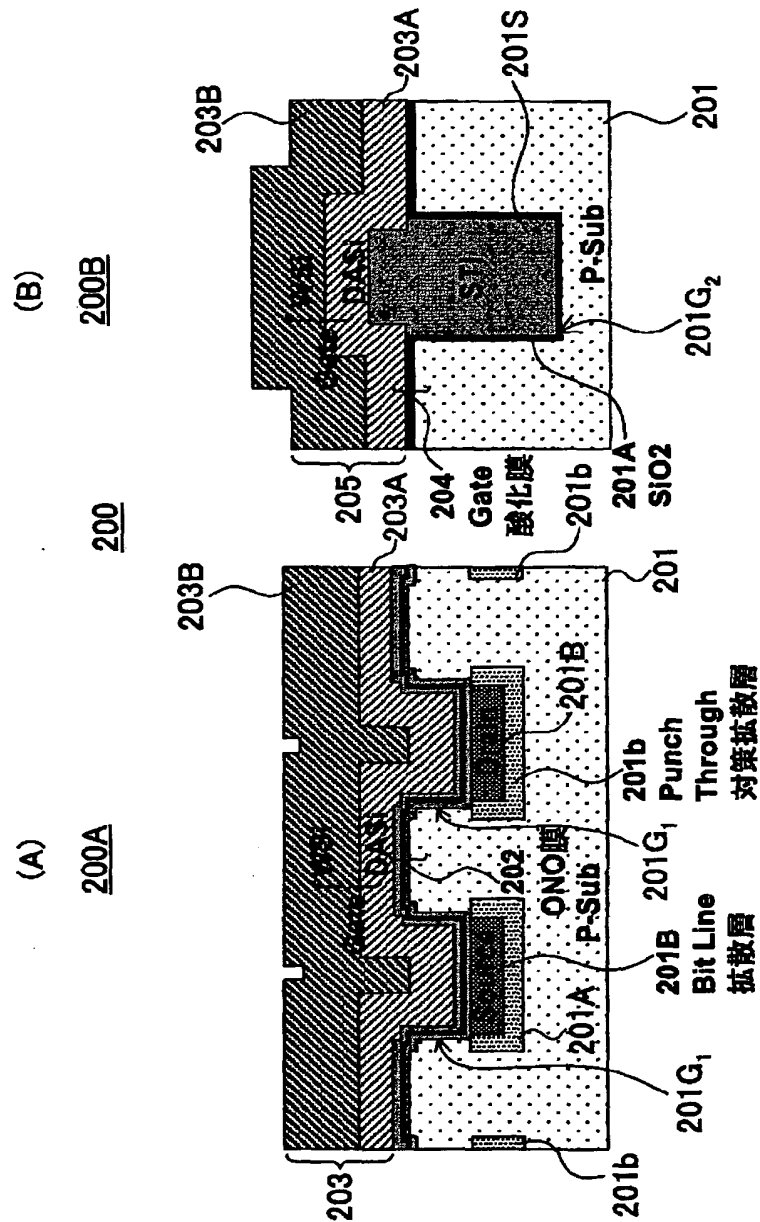
【図 3 0】

本発明第1実施例によるSONOS型フラッシュメモリ
集積回路装置の製造工程を示す図(その20)



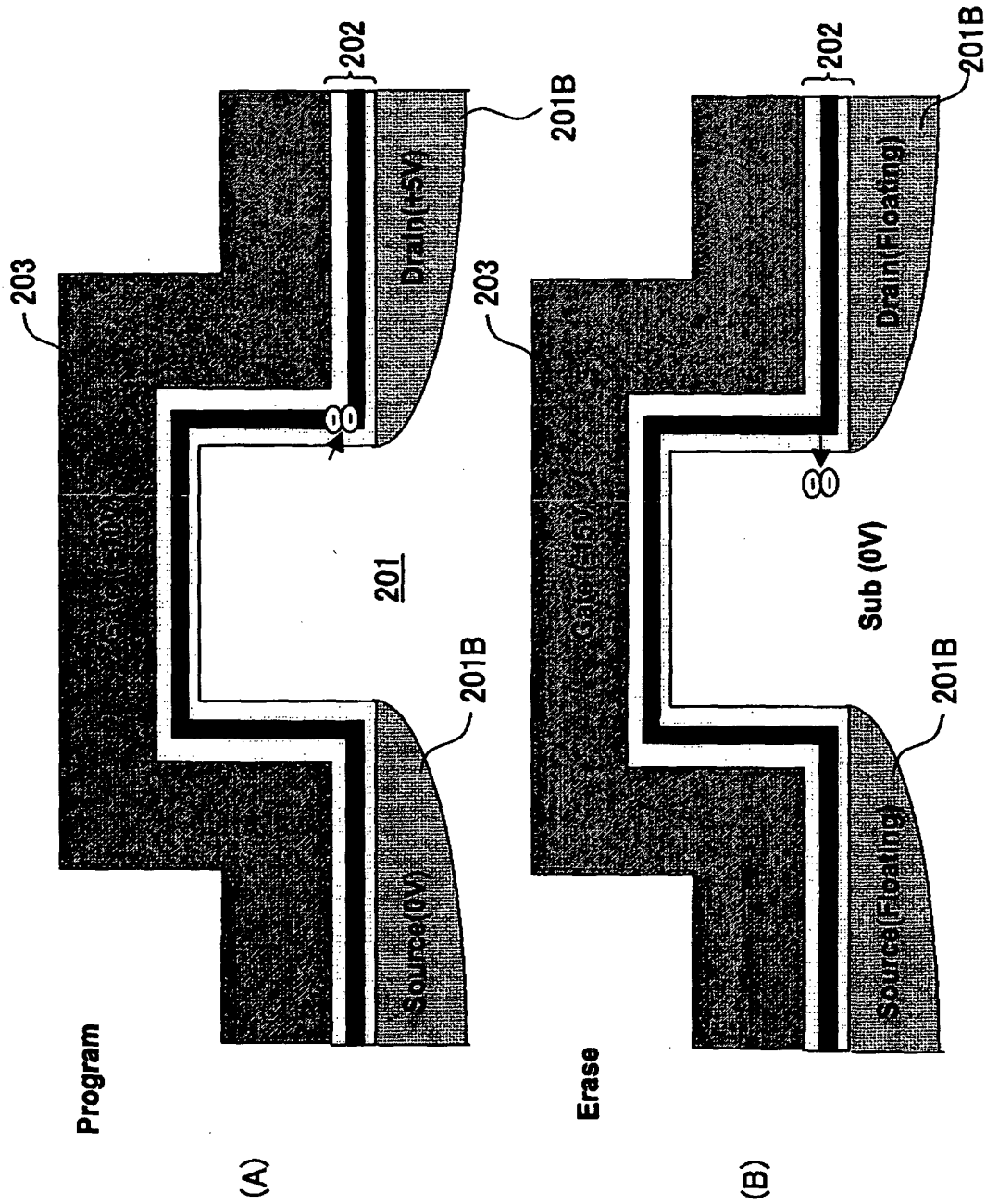
【図 3 1】

(A)、(B)は本発明第2実施例による製造方法により製造されるSONOS型フラッシュメモリ集積回路装置の構成を示す図



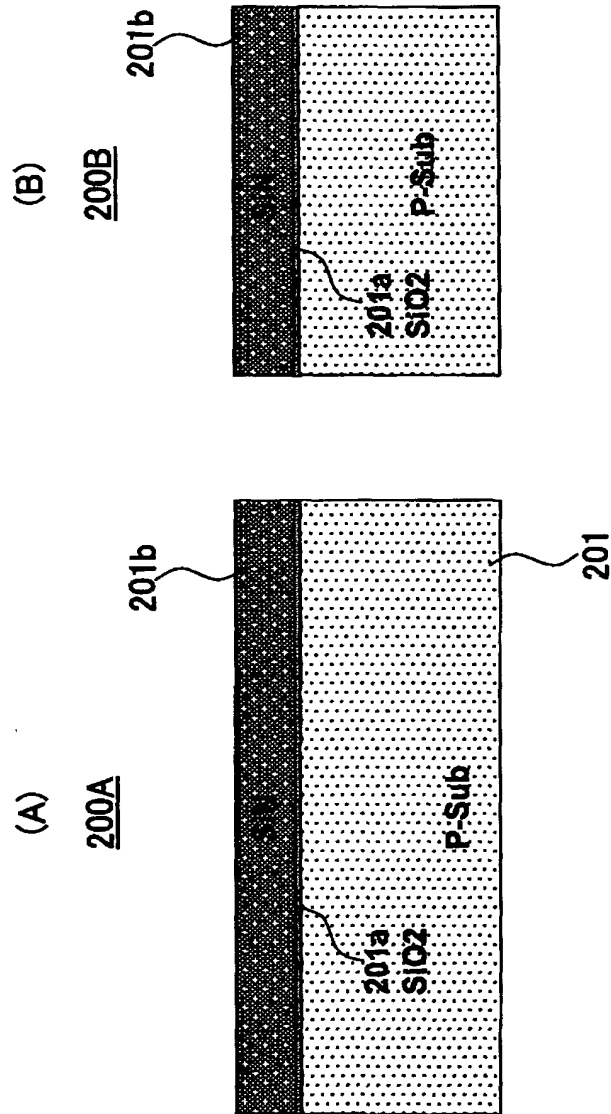
【図 32】

(A)、(B)は、図31(A)、(B)のSONOS型フラッシュメモリ
集積回路装置の動作原理を説明する図



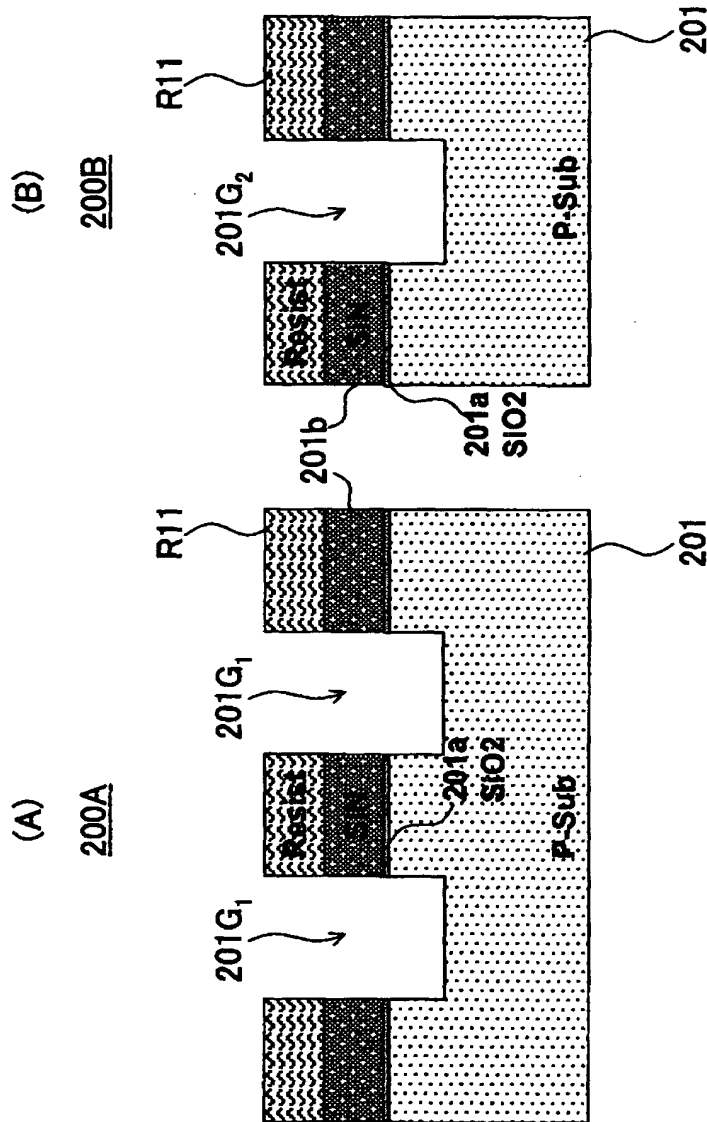
【図 3 3】

(A), (B)は、本発明第2実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その1)



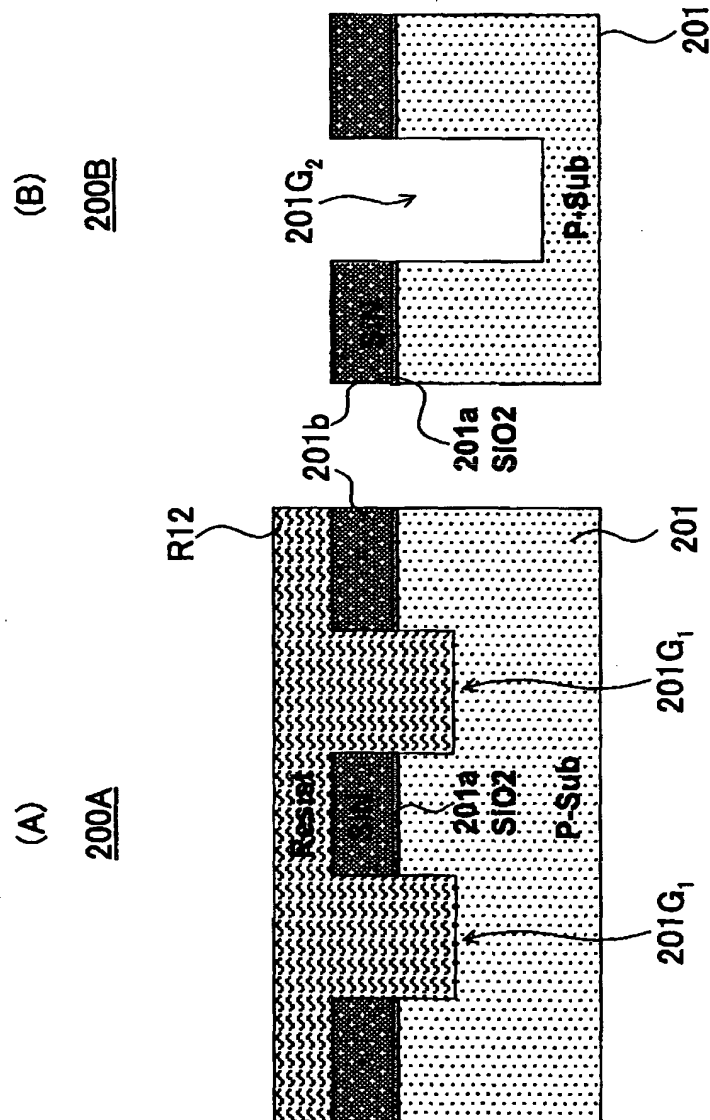
【図 3 4】

(A), (B)は、本発明第2実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その2)



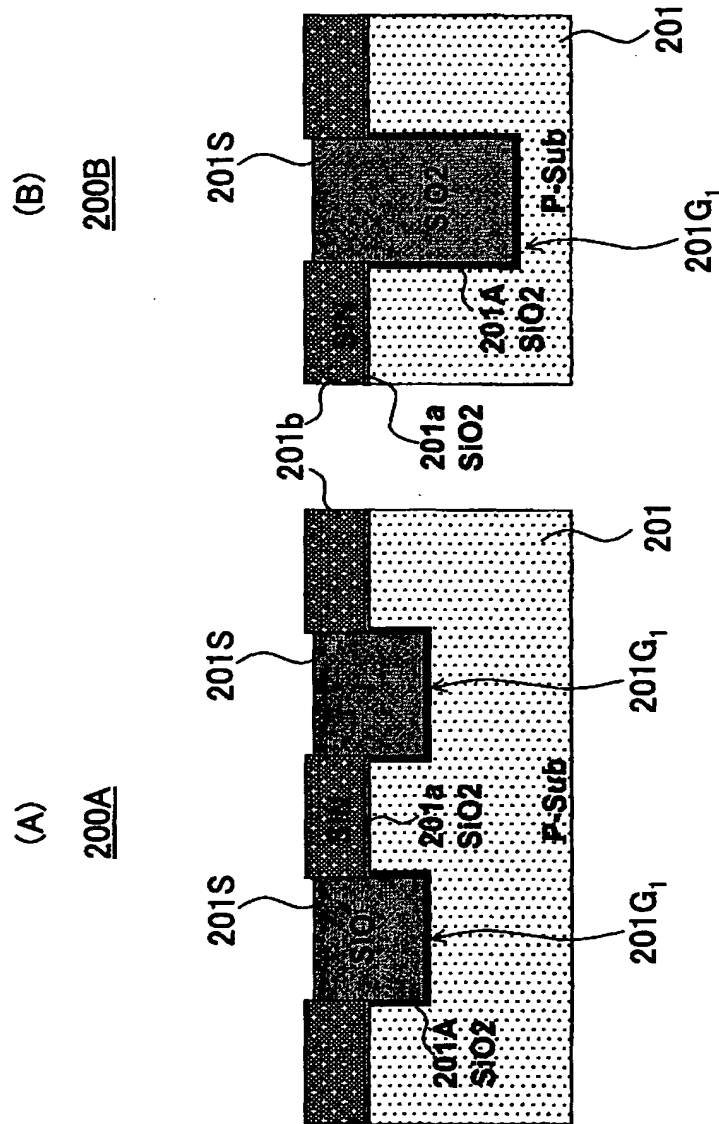
【図 35】

(A), (B)は、本発明第2実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その3)



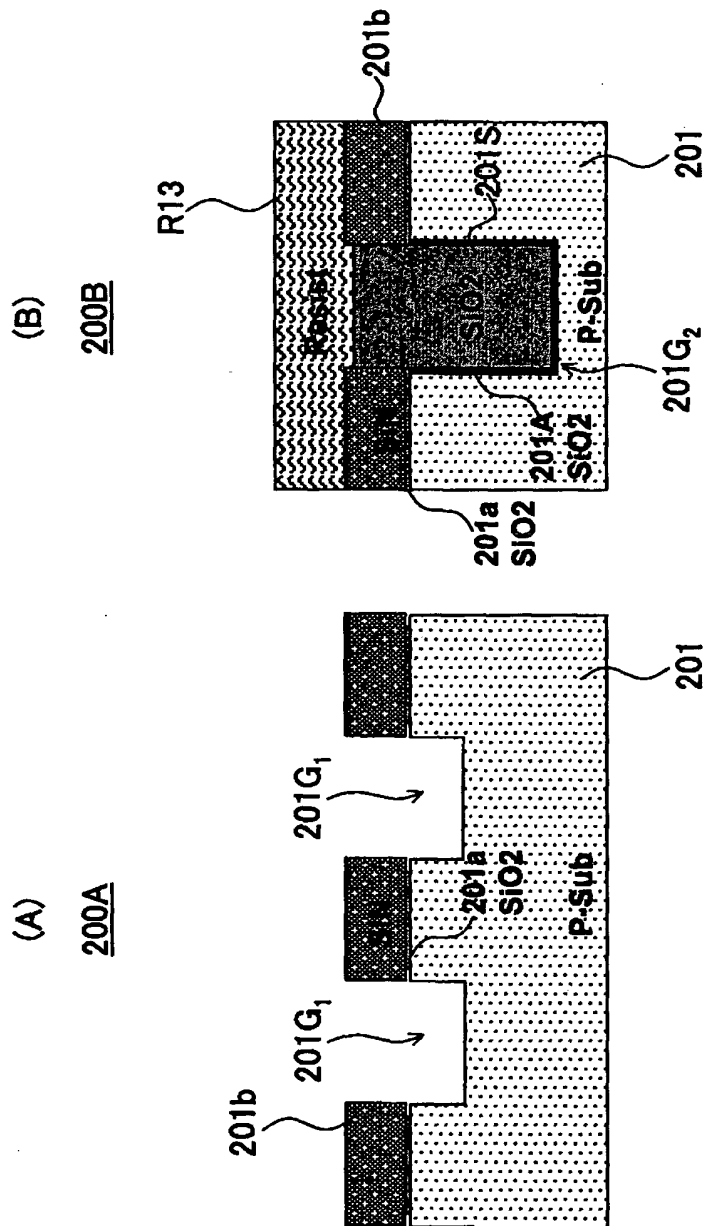
【図 36】

(A), (B)は、本発明第2実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その4)

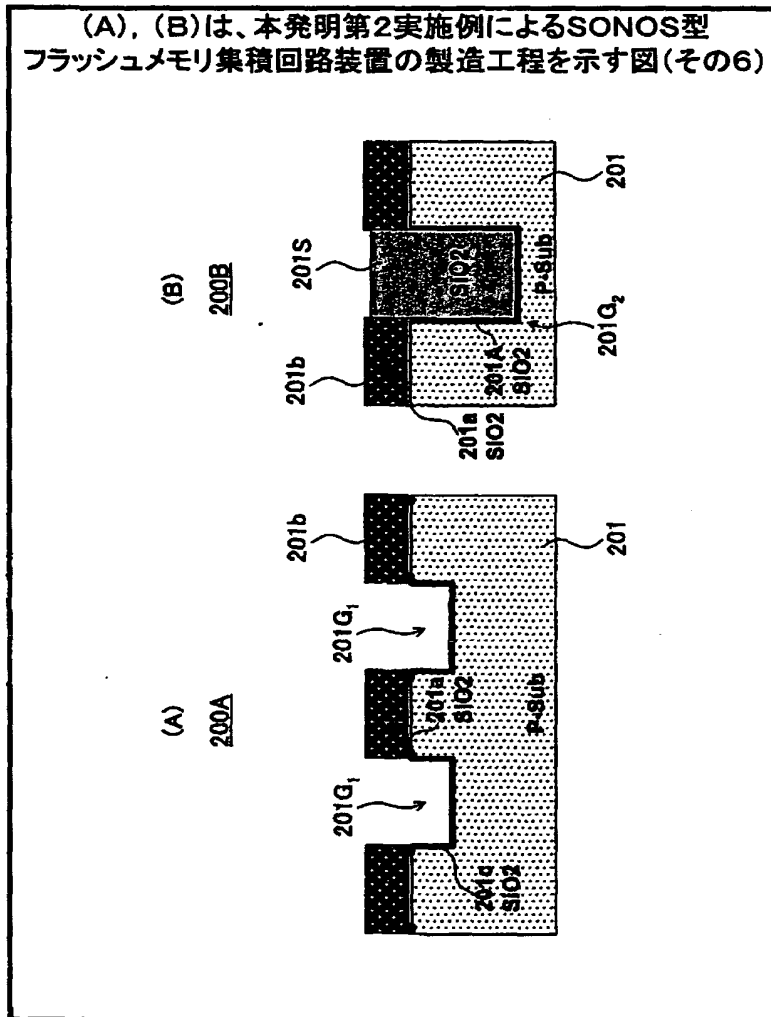


【図 37】

(A), (B)は、本発明第2実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その5)

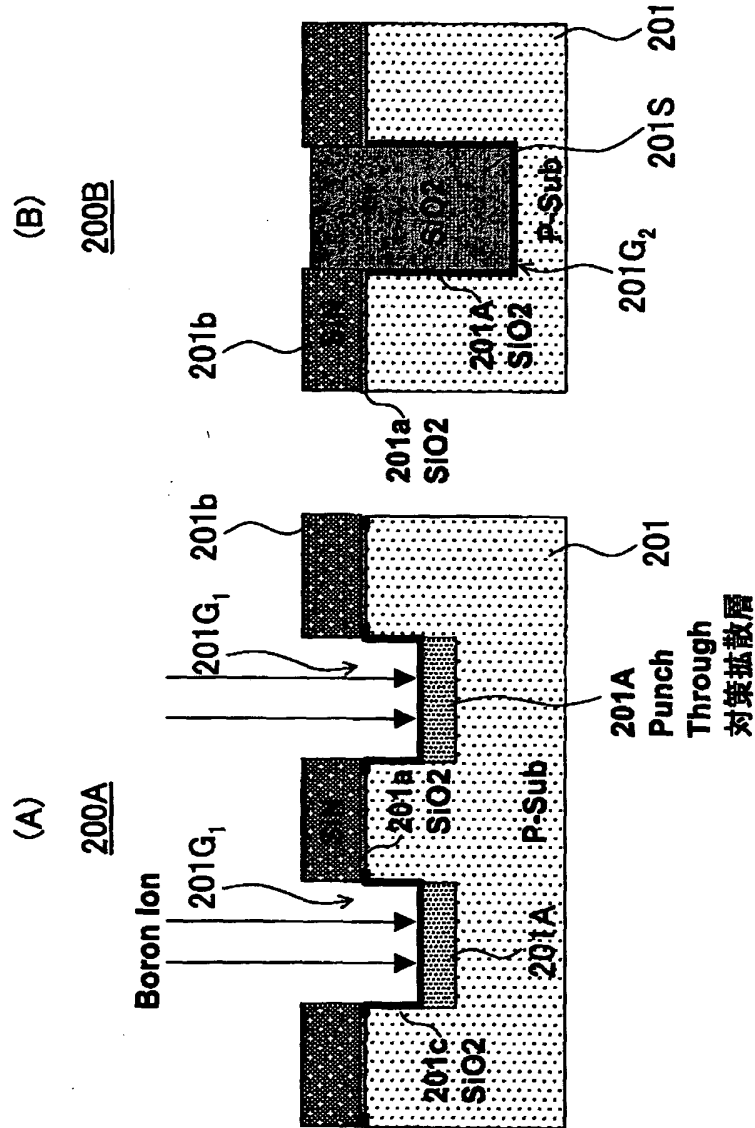


【図 3 8】



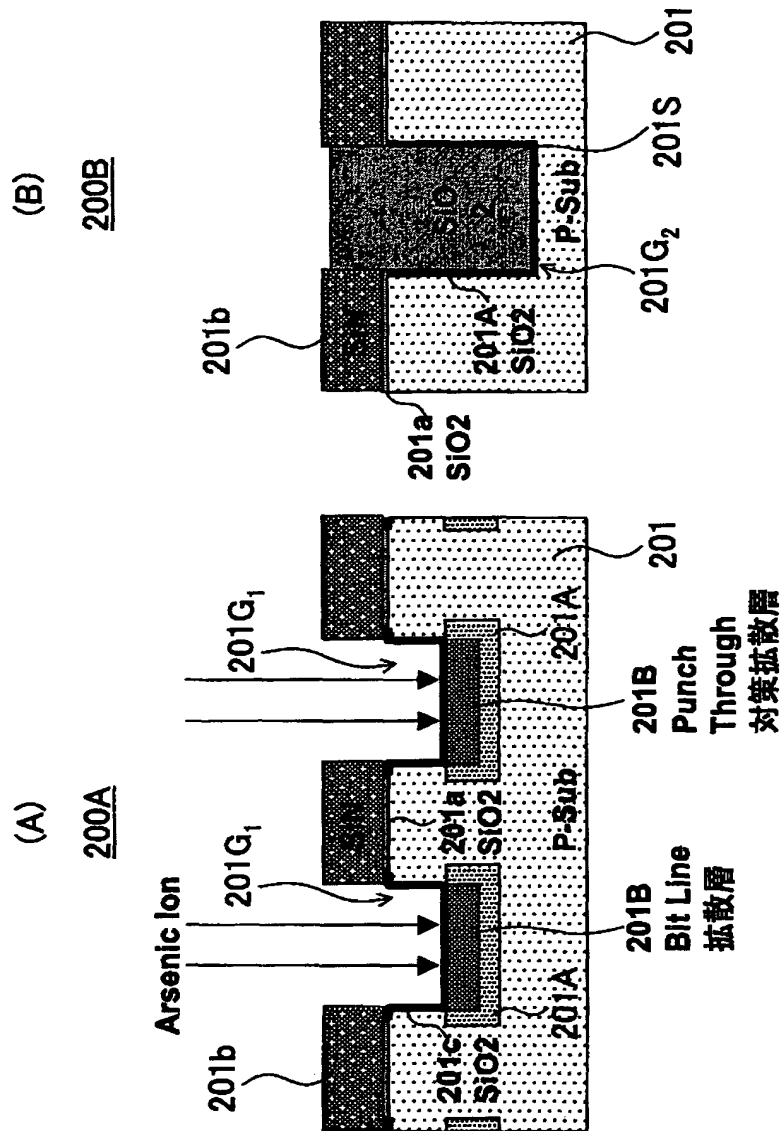
【図 39】

(A), (B)は、本発明第2実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その7)



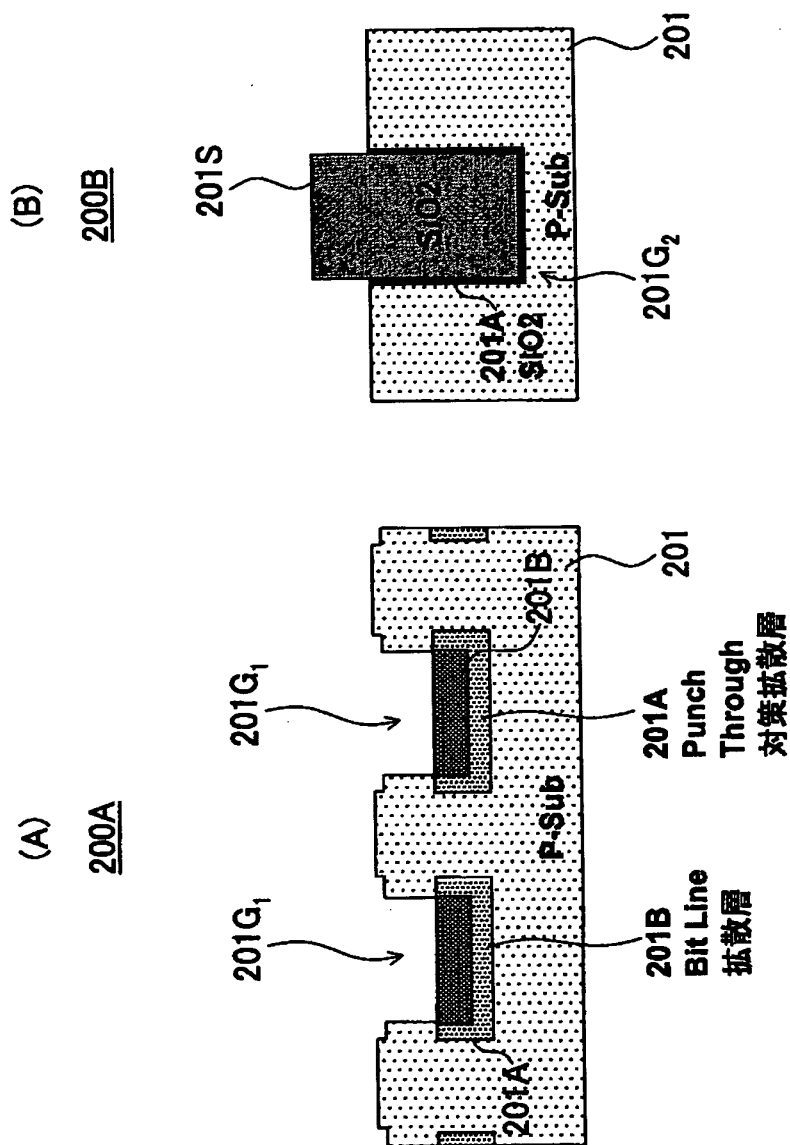
【図 40】

(A), (B)は、本発明第2実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その8)



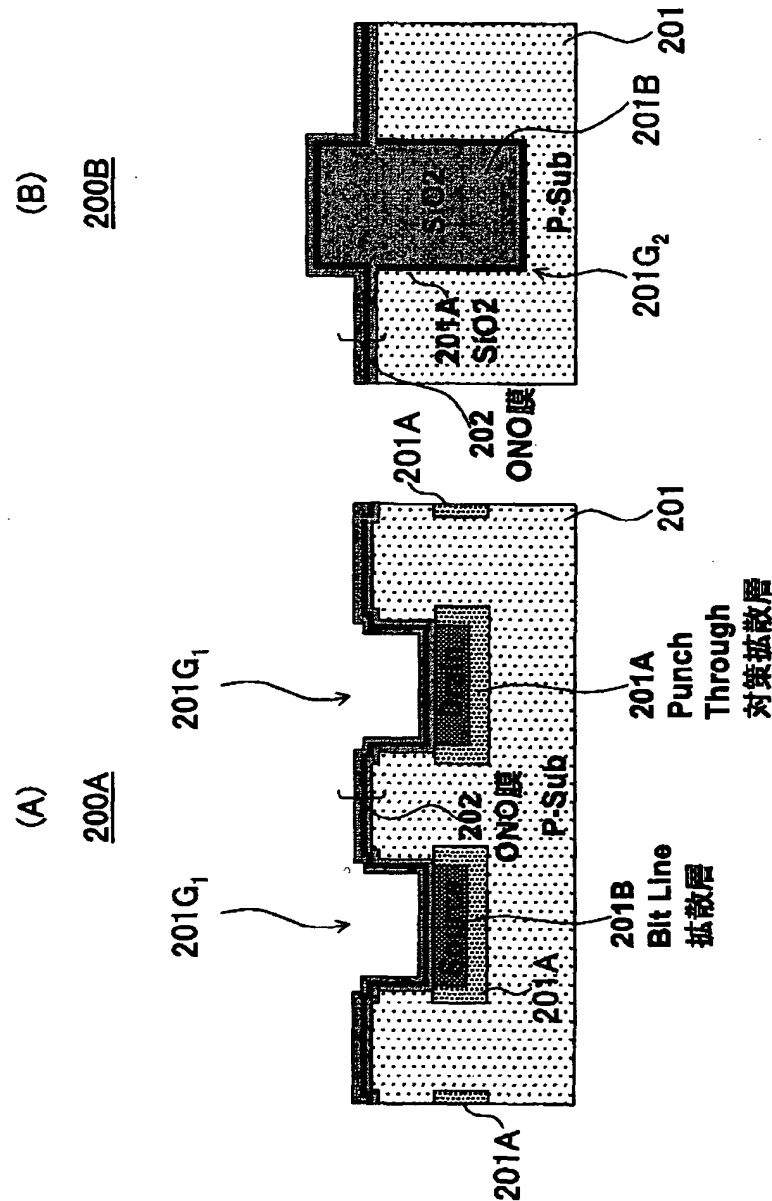
【図 4 1】

(A), (B)は、本発明第2実施例によるSONOS型
フラッシュメモリ集積回路装置の製造工程を示す図(その9)



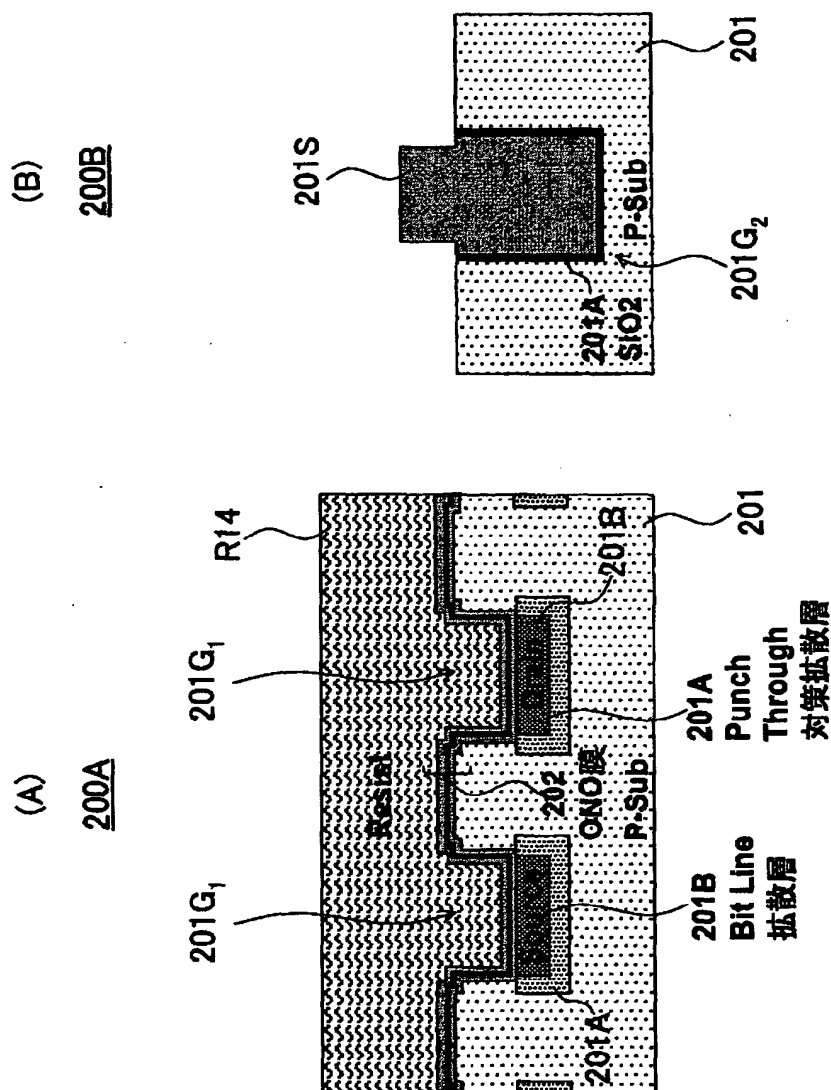
【図 4 2】

(A), (B)は、本発明第2実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その10)



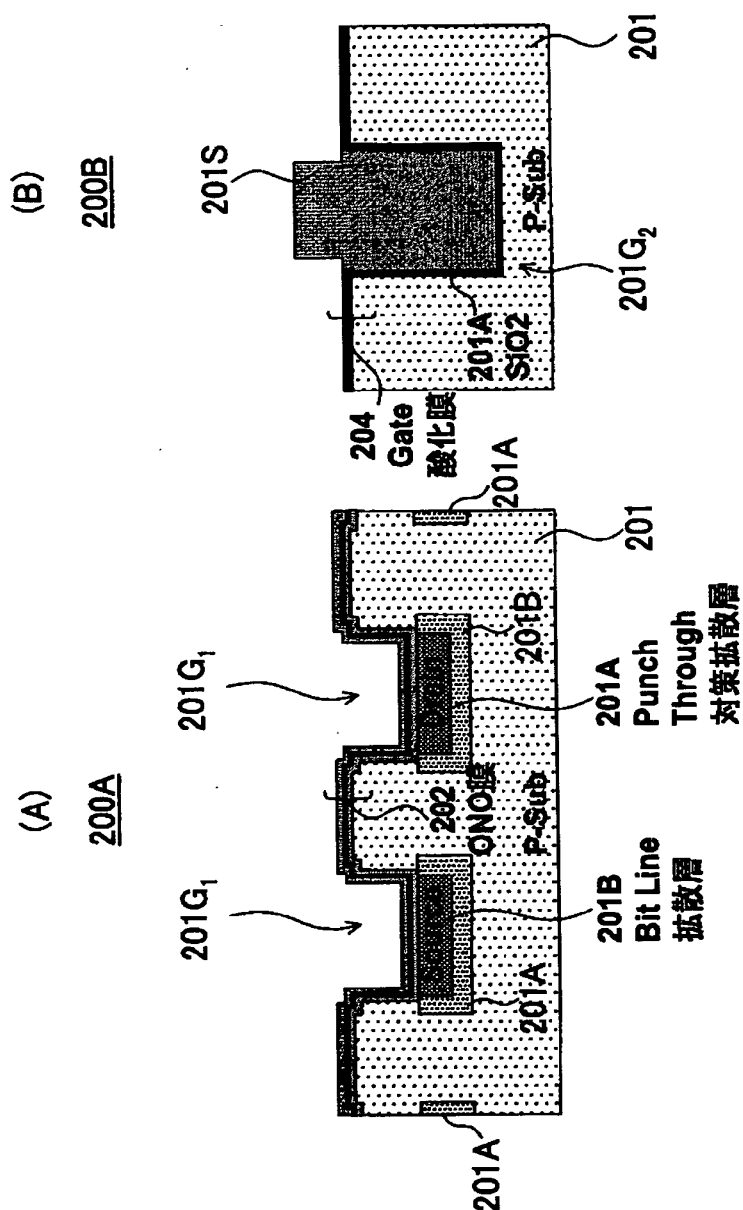
【図 4 3】

(A), (B)は、本発明第2実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その11)



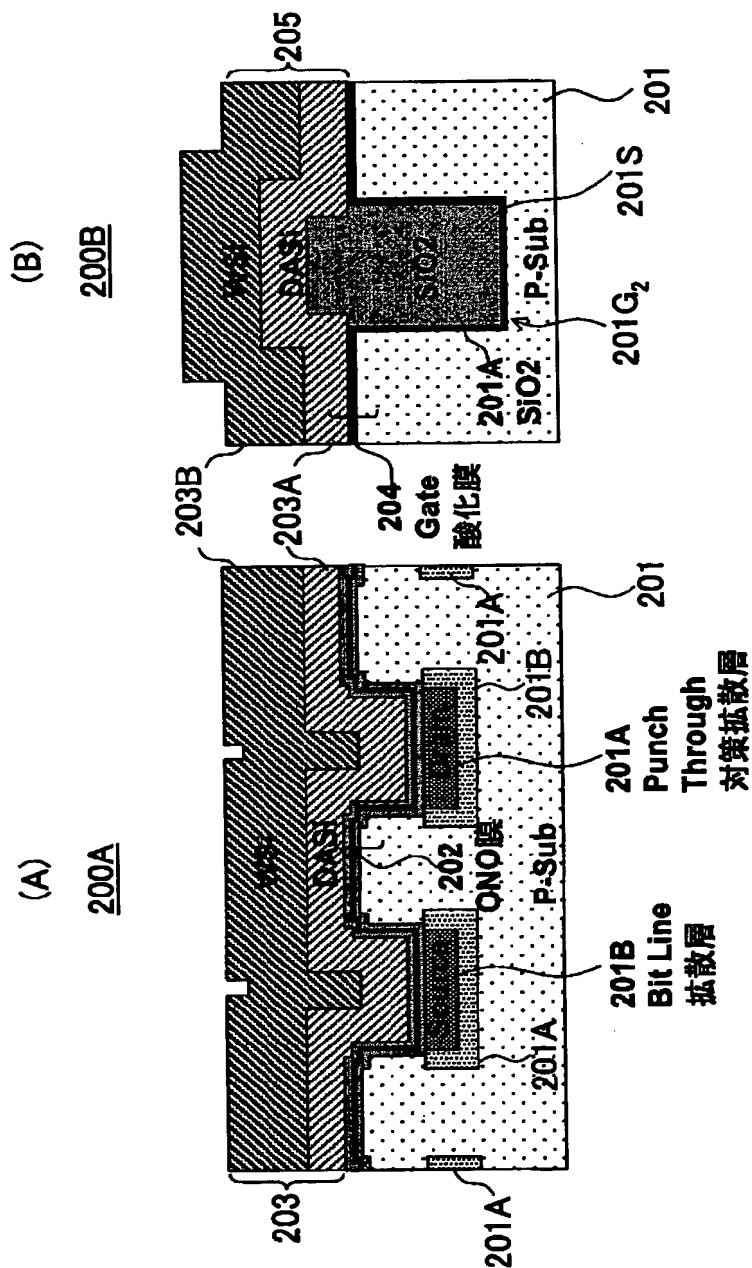
【图 4-4】

(A), (B)は、本発明第2実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その12)



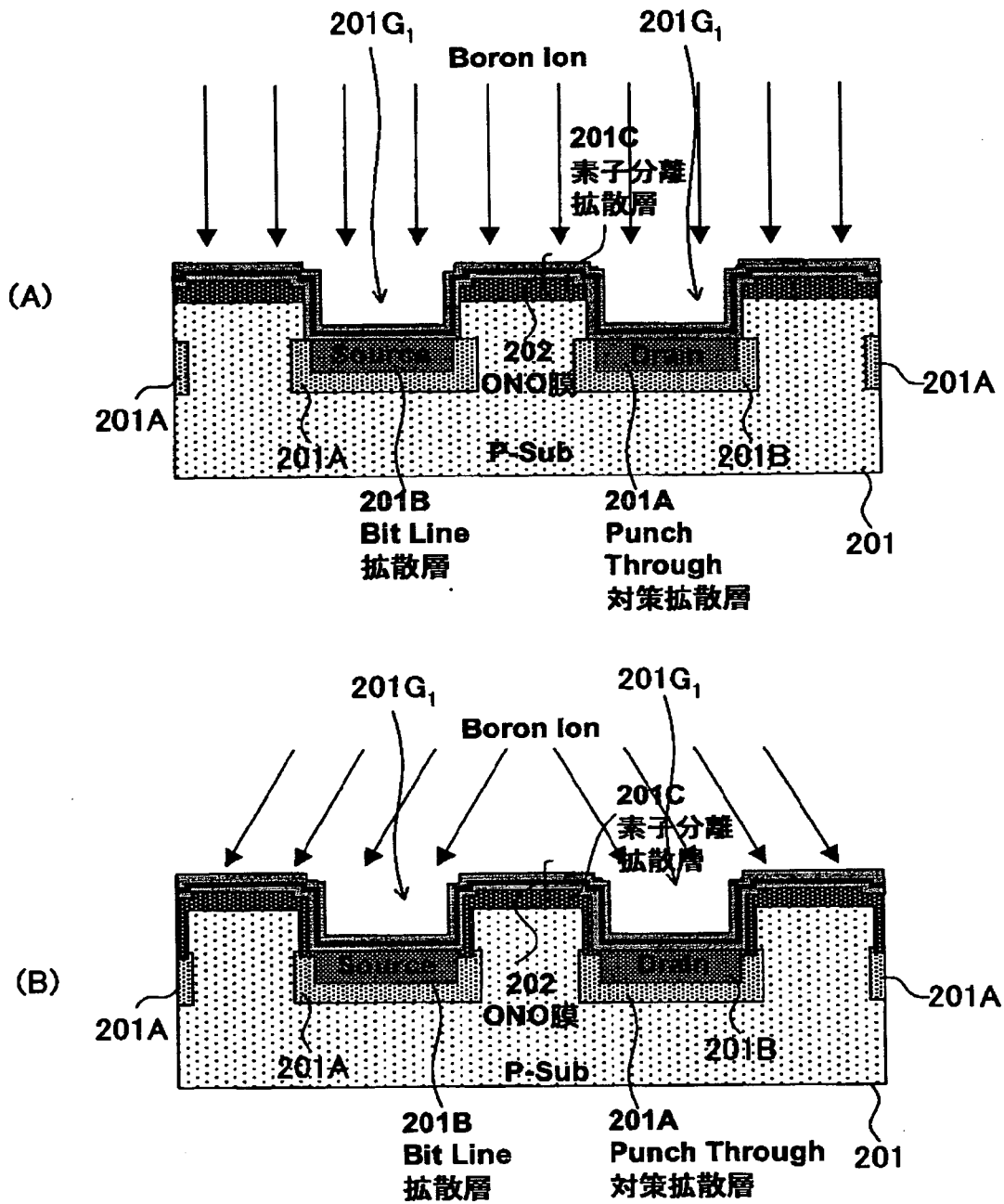
【図 4 5】

(A), (B)は、本発明第2実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その13)



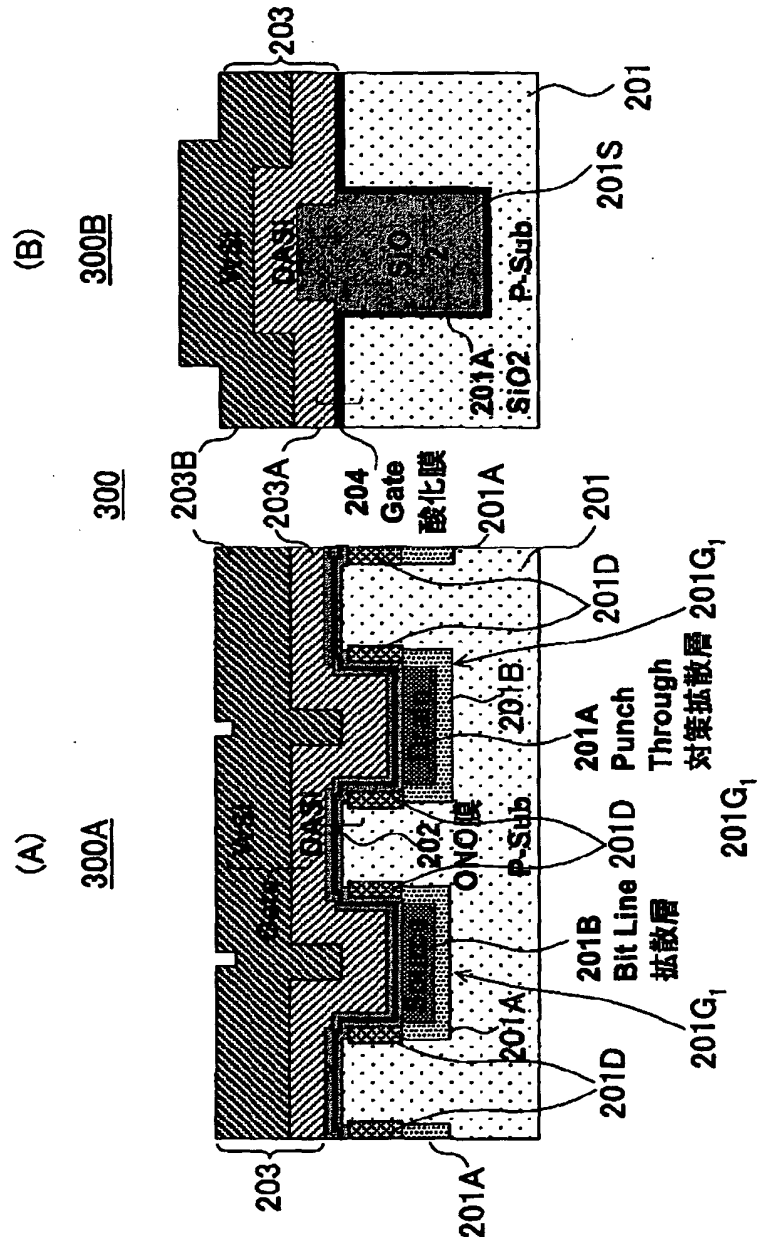
【図 4 6】

(A), (B)は、本発明第2実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その14)



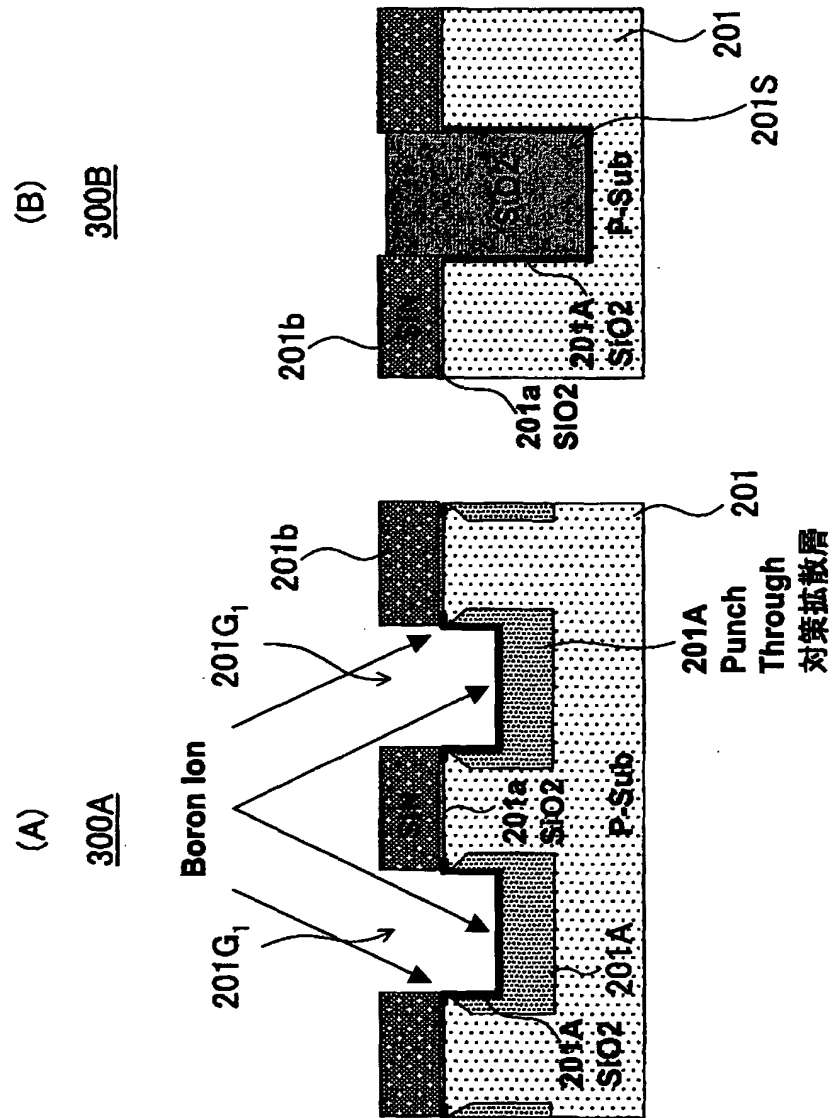
【图 4-7】

(A),(B)は本発明第3実施例による製造方法により製造されるSONOS型フラッシュメモリ集積回路装置の構成を示す図



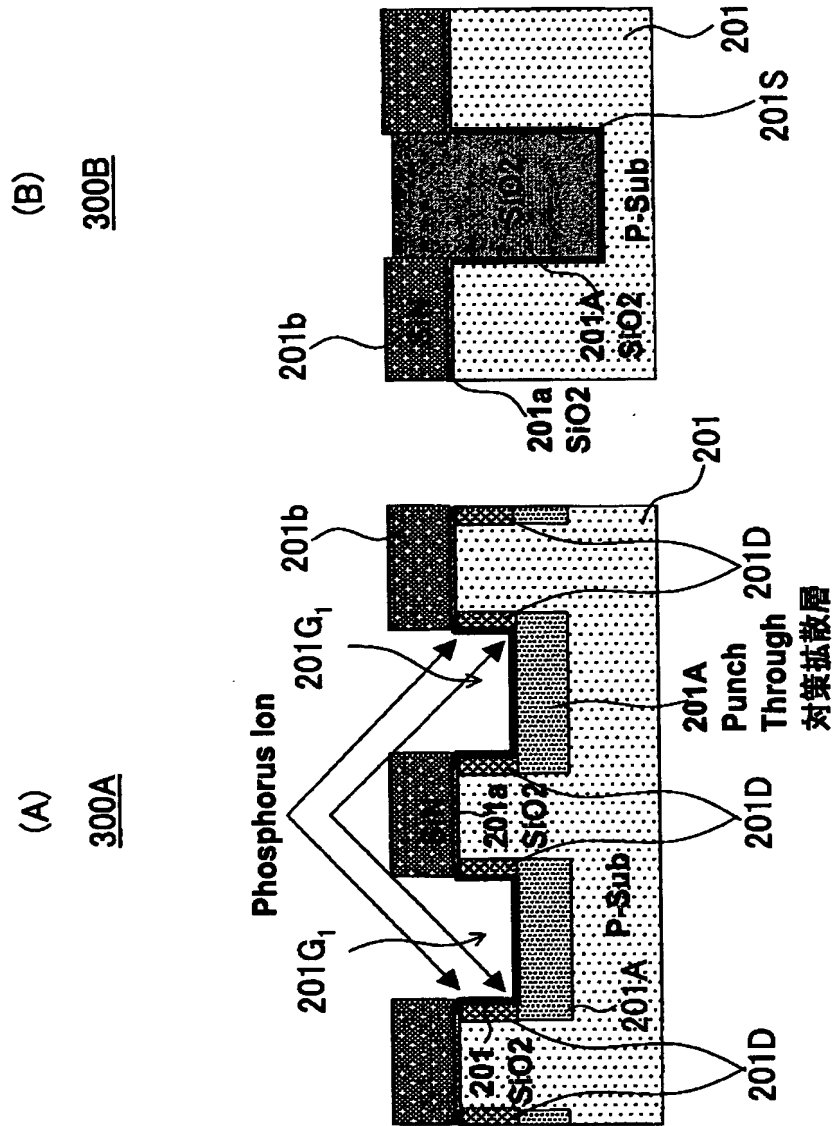
【图 4 8】

(A), (B)は、本発明第3実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その1)



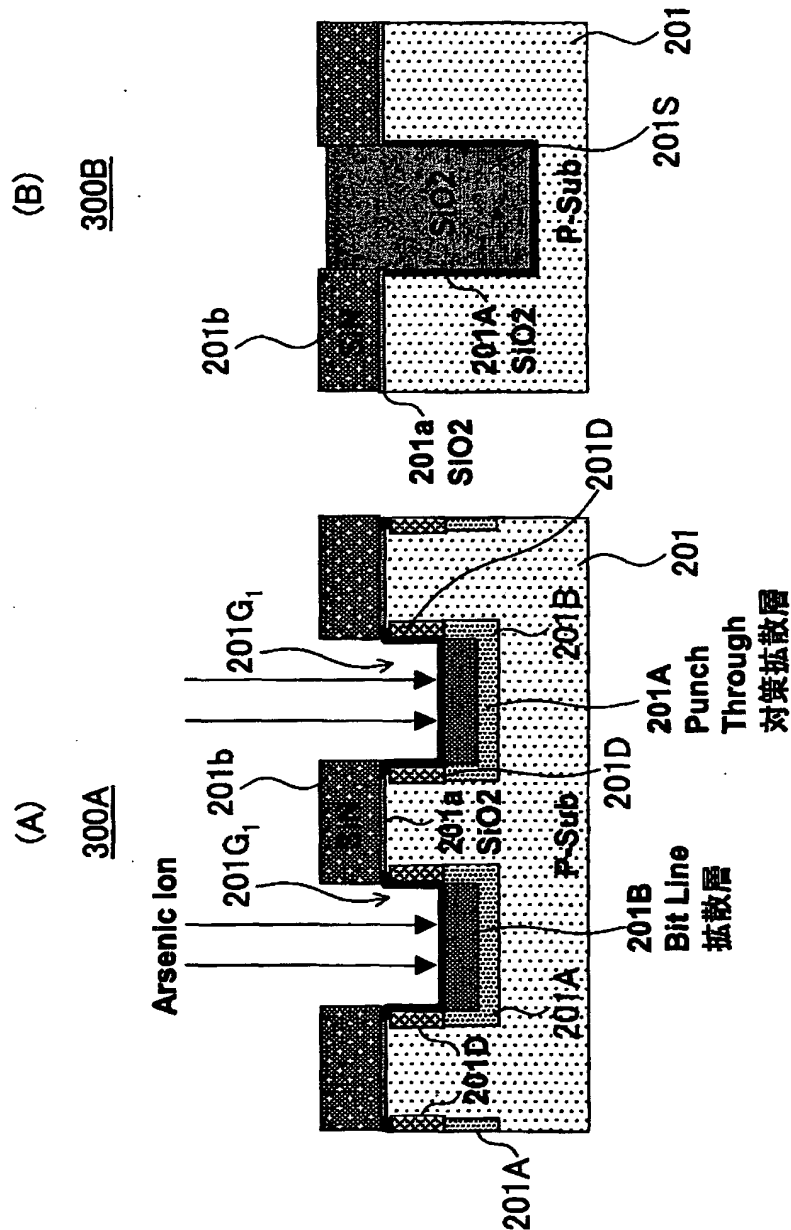
【図 49】

(A), (B)は、本発明第3実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その2)



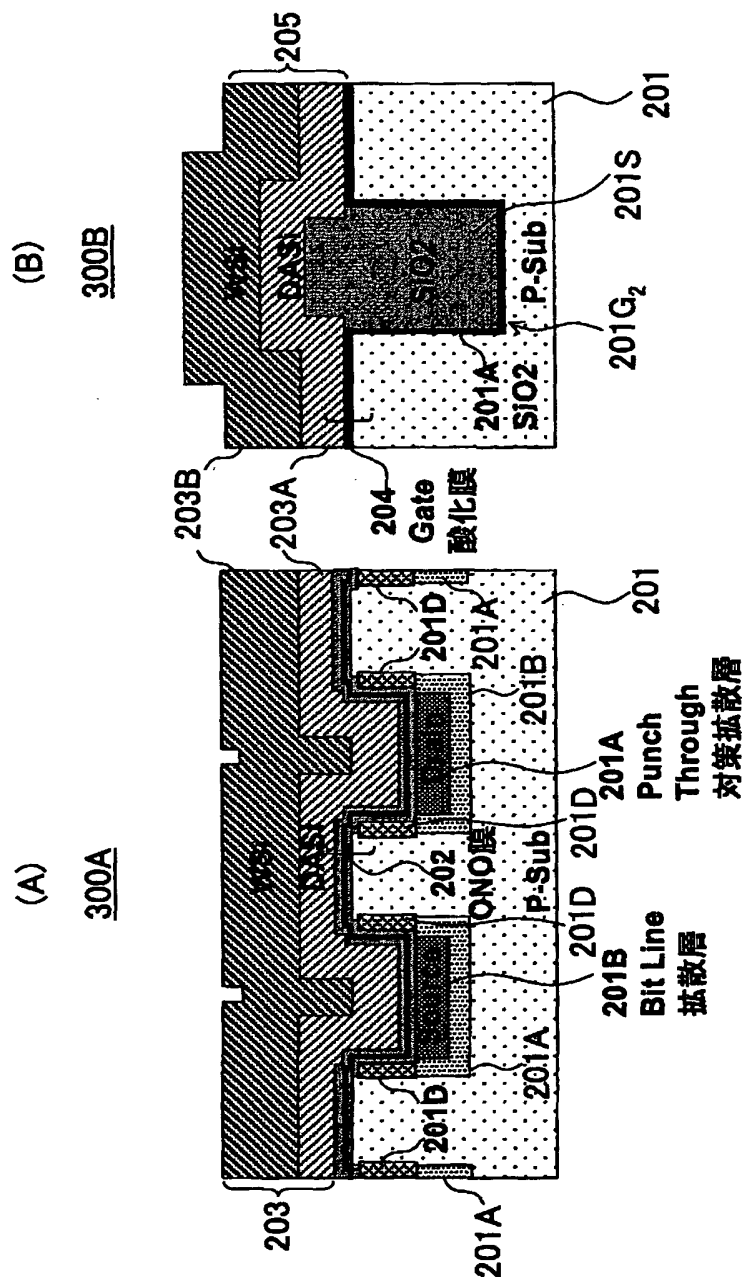
【図 50】

(A), (B)は、本発明第3実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その3)



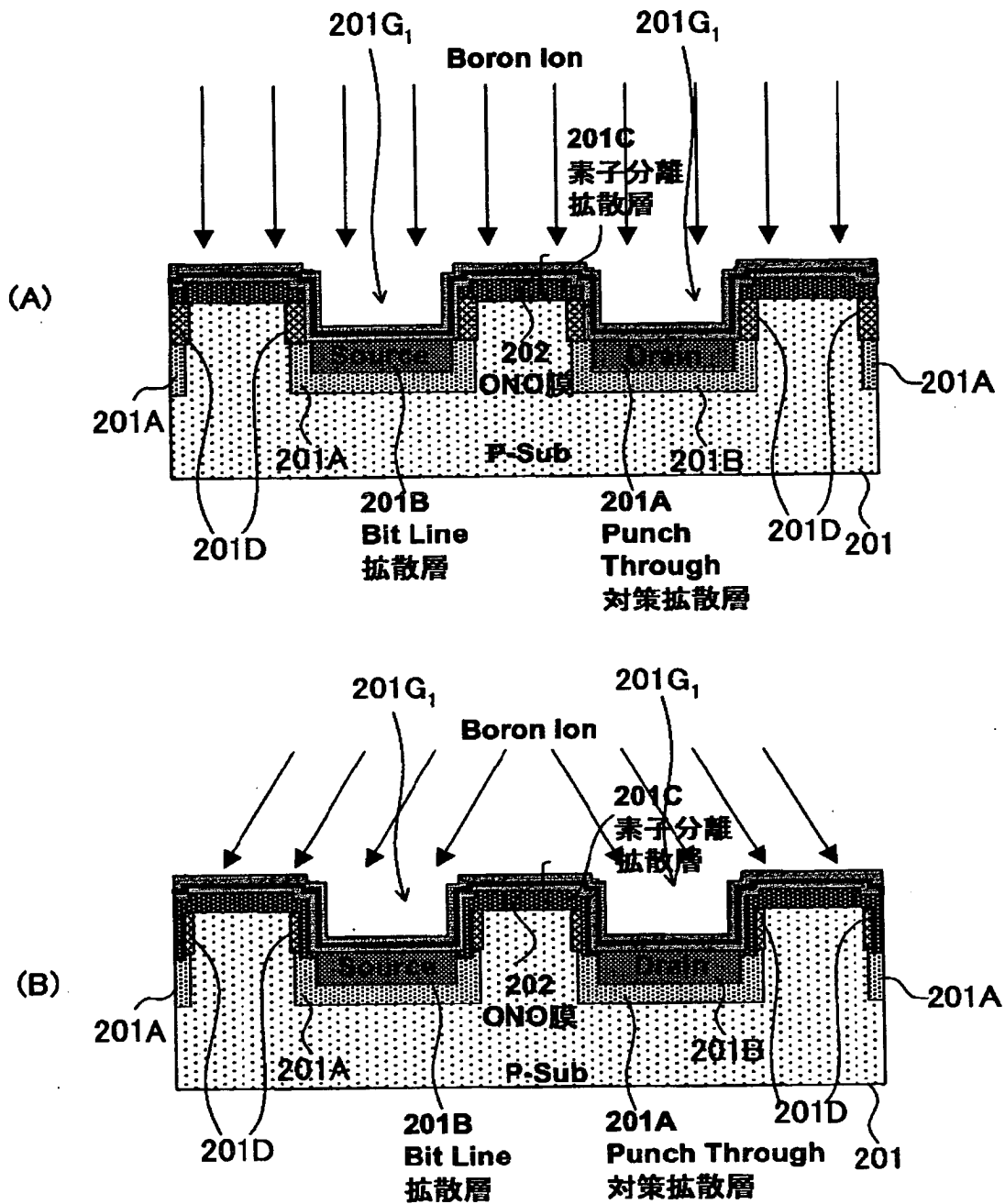
【図 5 1】

(A)、(B)は、本発明第3実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その4)



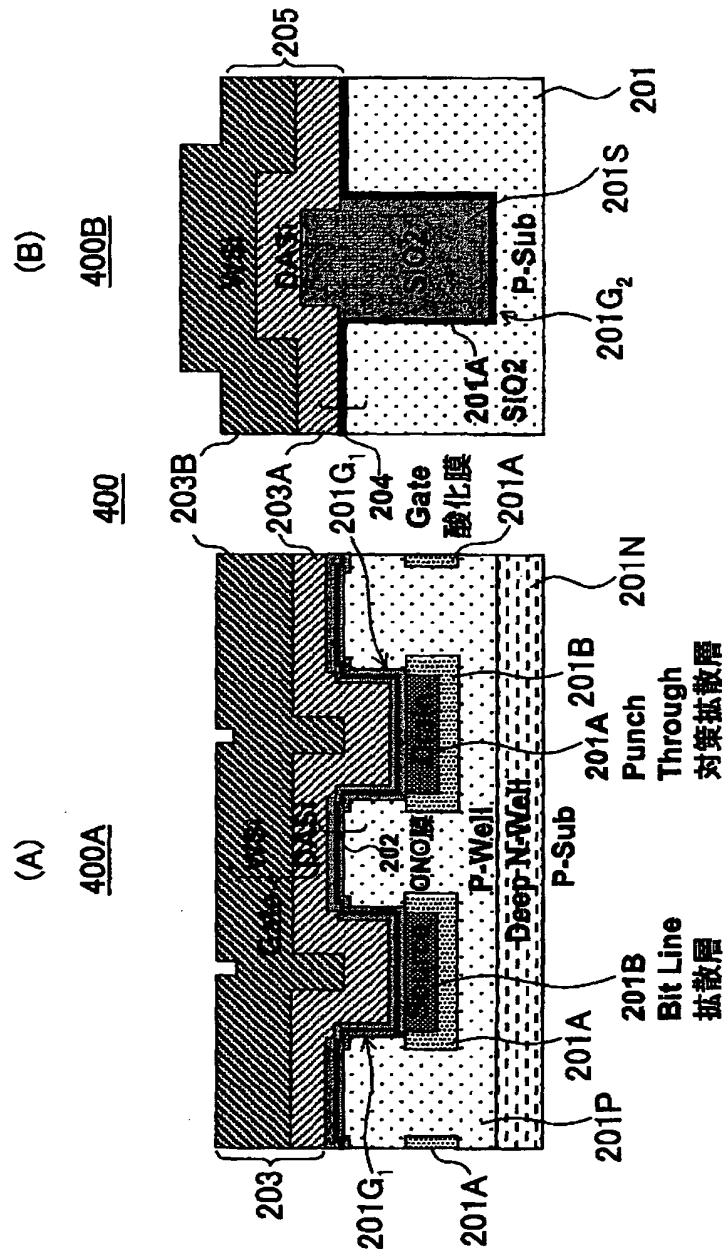
【図 5 2】

(A), (B)は、本発明第3実施例によるSONOS型フラッシュメモリ集積回路装置の製造工程を示す図(その5)



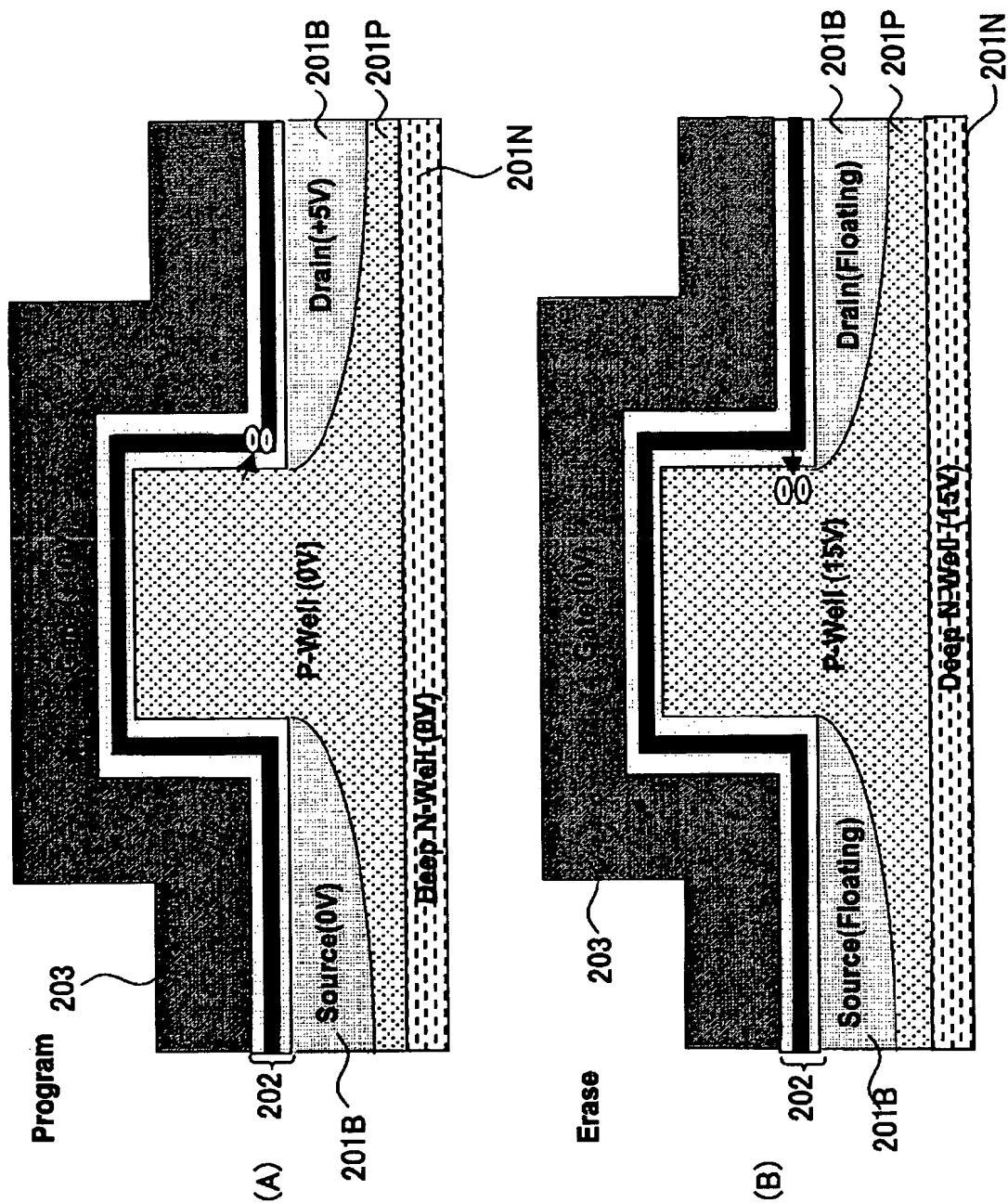
【図 5 3】

(A),(B)は本発明第4実施例による製造方法により製造されるSONOS型フラッシュメモリ集積回路装置の構成を示す図



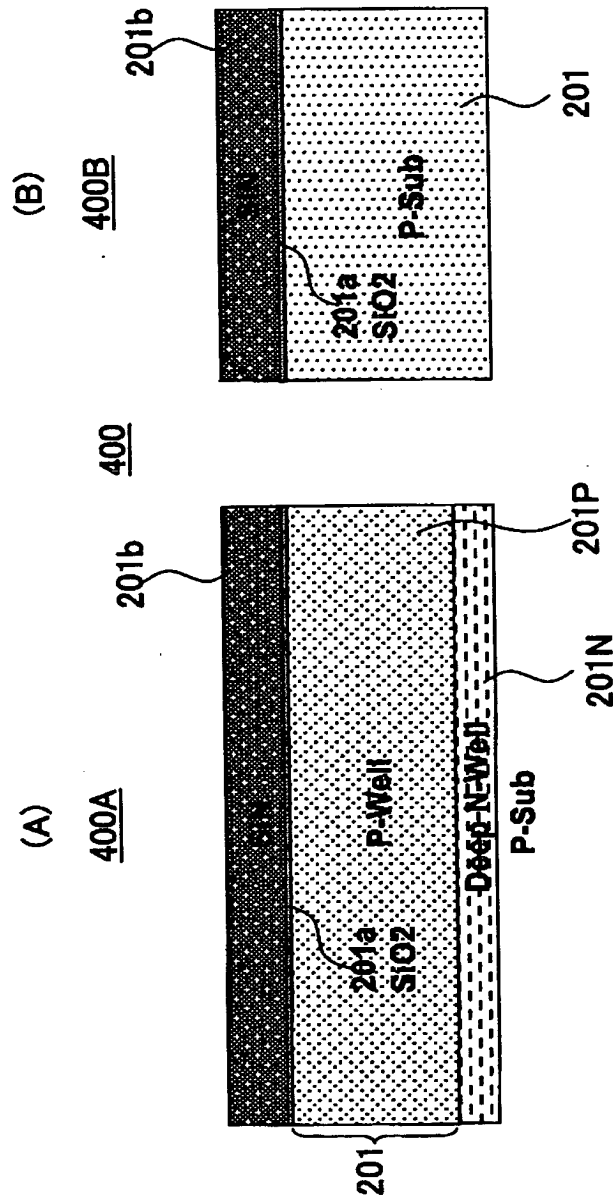
【図 54】

(A), (B)は、本発明第4実施例による
SONOS型フラッシュメモリの動作を説明する図



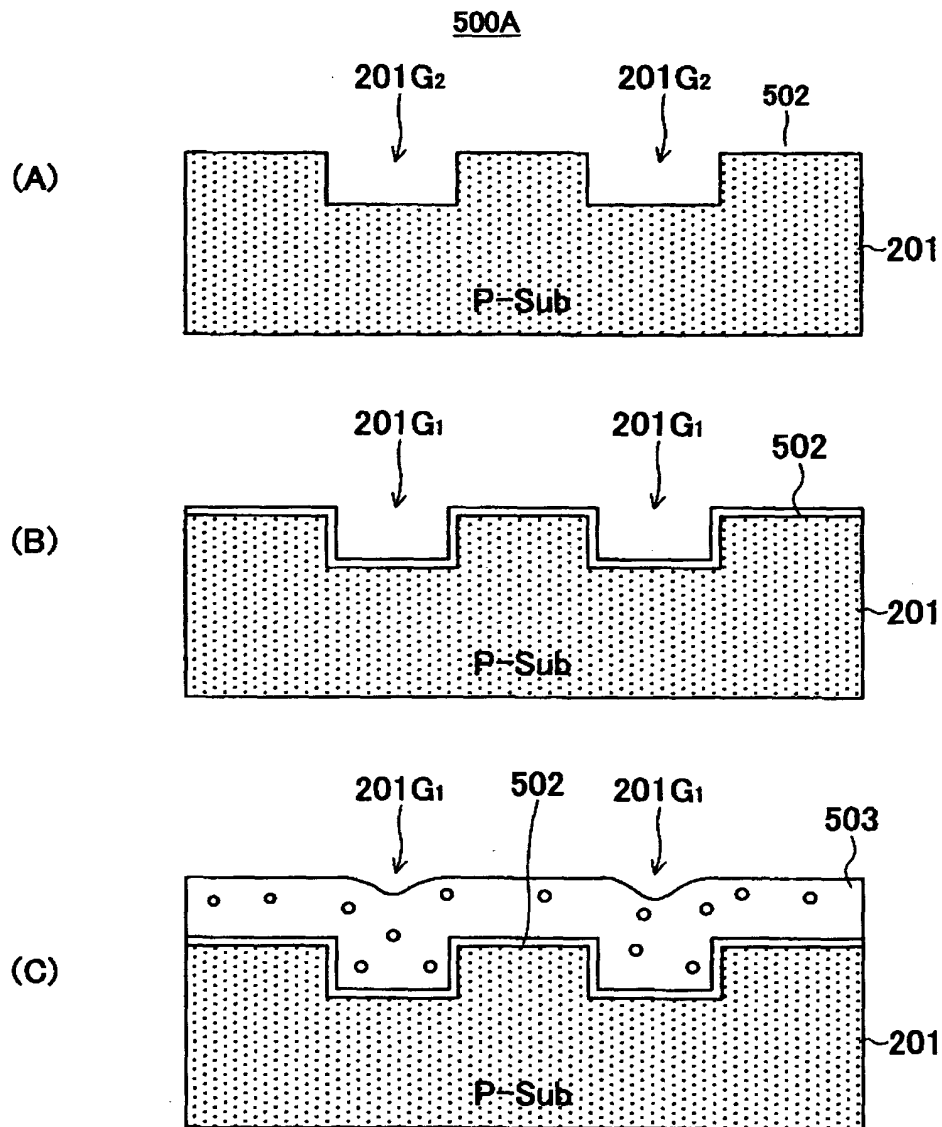
【図 5 5】

(A), (B)は、本発明第4実施例による
SONOS型フラッシュメモリ集積回路装置の製造工程



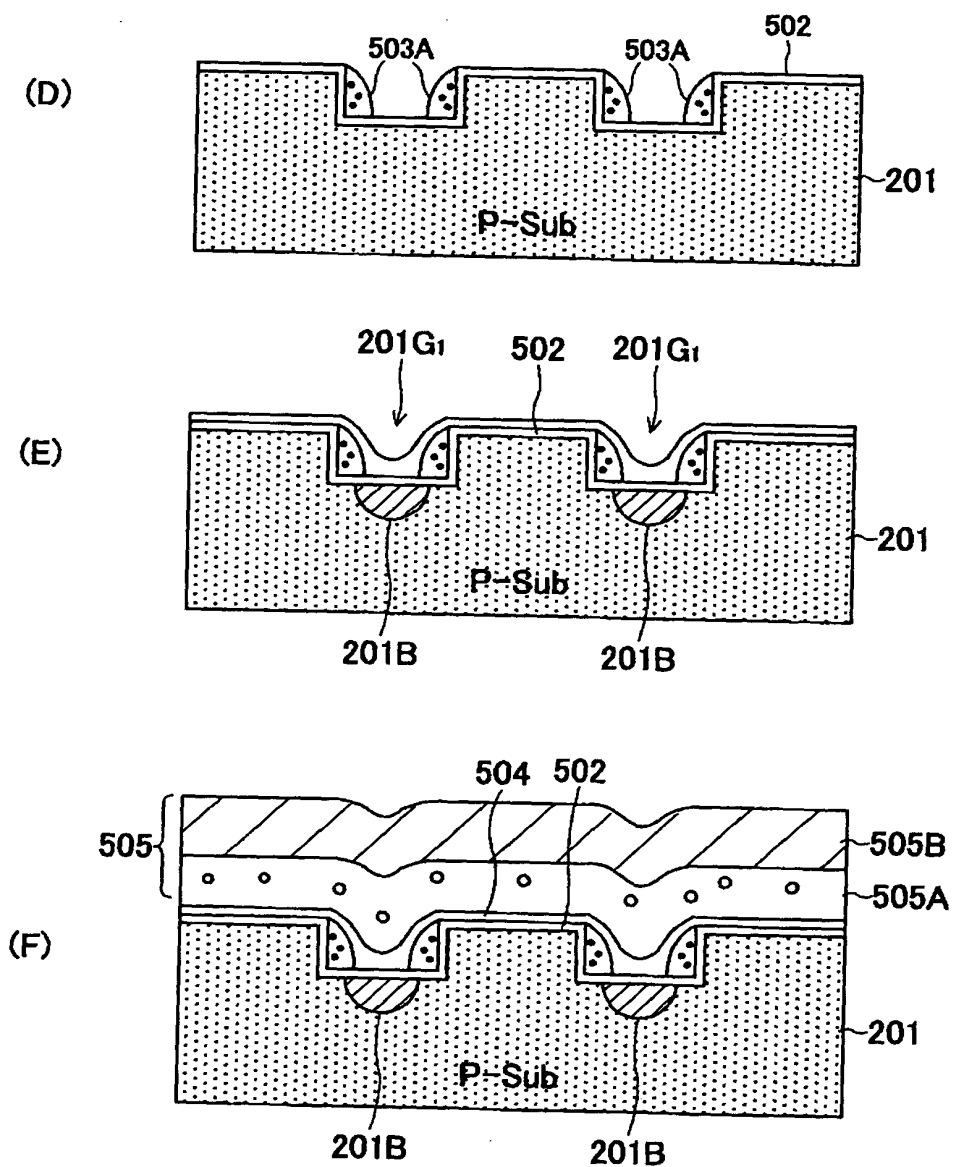
【図 56】

(A)～(C)は、本発明第5実施例による積層ゲート型フラッシュメモリ集積回路装置の製造工程を示す図(その1)



【図 5 7】

(D)～(F)は、本発明第5実施例による積層ゲート型
フラッシュメモリ集積回路装置の製造工程を示す図(その2)



【書類名】 要約書

【要約】

【課題】 周辺回路領域に S T I 構造を有し、メモリセル領域に溝を形成された S O N O S 型フラッシュメモリ集積回路装置の製造の際に、メモリセル領域と周辺回路領域とを、直接マスク合わせが可能なように形成する。

【解決手段】 半導体基板上、メモリセル領域に対応して第 1 の溝を、周辺回路領域に対応して第 2 の溝を、同時に同一のマスクを使って形成し、さらに前記メモリセル領域に、前記第 1 の溝を基準にメモリセルトランジスタを、前記周辺回路領域に、前記第 2 の溝を素子分離溝とした周辺回路トランジスタを形成する。

【選択図】 図 1 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社